

ESP32-C61 系列芯片

技术规格书 预发布 v0.5

RISC-V 32 位单核处理器

支持 2.4 GHz Wi-Fi 6 (IEEE 802.11ax)

Bluetooth® 5 (LE)

芯片封装内可叠封 3.3 V flash 或 PSRAM

30 个 GPIO

QFN40 (5×5 mm) 封装

包括:

ESP32-C61HF4

ESP32-C61HR2

ESP32-C61HR8

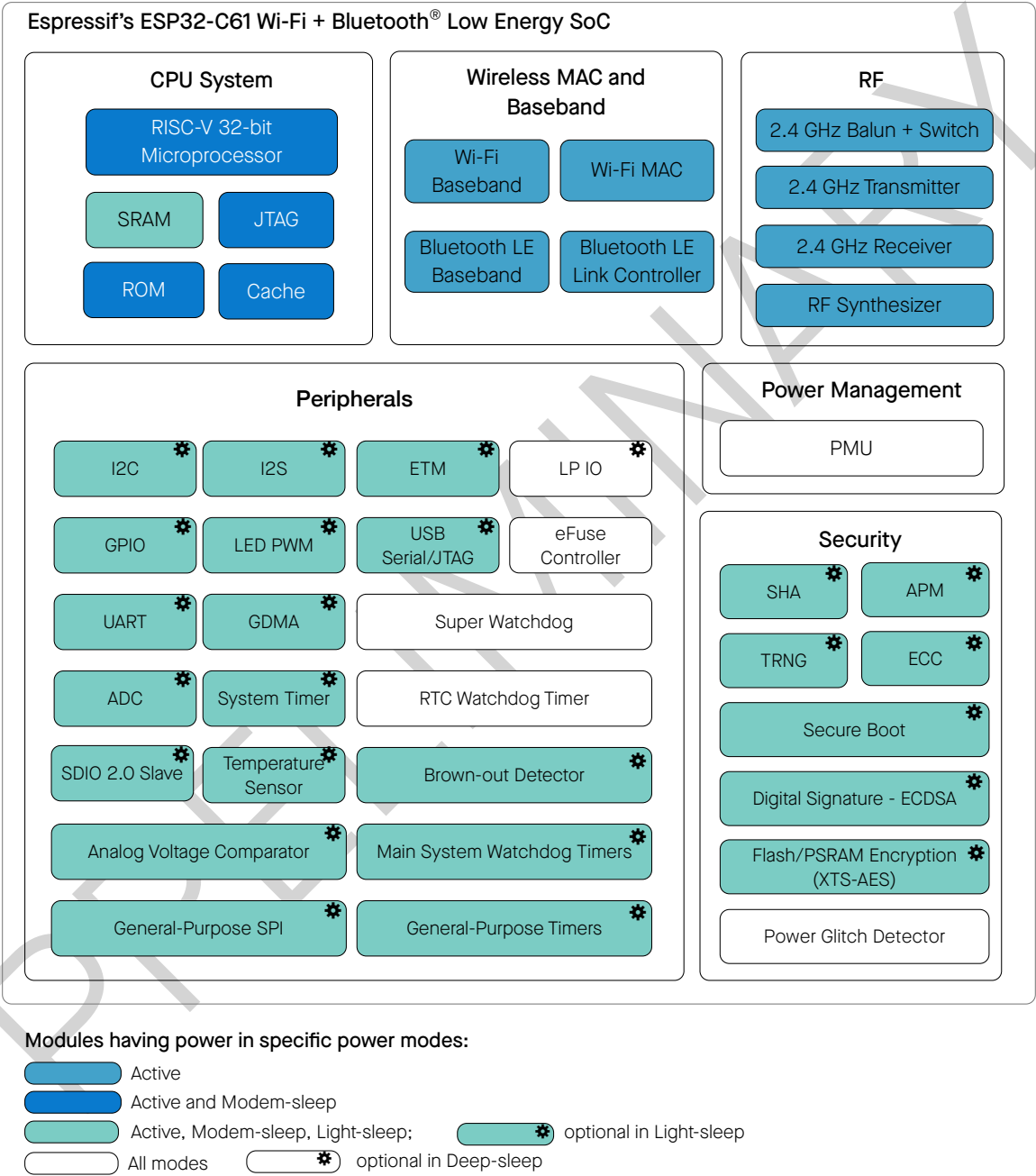


ESPRESSIF

产品概述

ESP32-C61 是一款低功耗的 MCU 系统级芯片 (SoC)，支持 2.4 GHz Wi-Fi 6 和低功耗蓝牙 (Bluetooth® 5 LE)，并且集成了 RISC-V 32 位单核处理器、Wi-Fi 基带、蓝牙基带、RF 模块以及外设。

芯片的功能框图如下图所示。



ESP32-C61 功能框图

更多关于功耗的信息，请参考章节 [4.1.3.7 电源管理单元](#)。

产品特性

Wi-Fi

- 工作在 2.4 GHz 频段, 1T1R
- 工作信道中心频率范围: 2412 ~ 2484 MHz
- 兼容 IEEE 802.11ax 协议:
 - 仅 20 MHz 非接入点工作模式 (20 MHz-only non-AP mode)
 - 上行、下行正交频分多址接入 (OFDMA), 特别适用于高密度应用下的多用户并发传输
 - 下行多用户多输入多输出 (MU-MIMO), 提升网络容量
 - 波束成形接收端 (Beamforming), 提升信号质量
 - 空间复用 (Spatial reuse), 提升网络容量
 - 目标唤醒时间 (TWT), 提供更好的节能机制
- 完全兼容 IEEE 802.11b/g/n 协议:
 - 支持 20 MHz 和 40 MHz 带宽
 - 数据速率高达 150 Mbps
 - 无线多媒体 (WMM)
 - 帧聚合 (TX/RX A-MPDU, TX/RX A-MSDU)
 - 立即块确认 (Immediate Block ACK)
 - 分片和重组 (fragmentation and defragmentation)
 - 传输机会 (transmission opportunity, TXOP)
 - Beacon 自动监测 (硬件 TSF)
 - 4 个虚拟 Wi-Fi 接口
 - 同时支持基础结构型网络 (Infrastructure BSS) Station 模式、SoftAP 模式、Station + SoftAP 模式和混杂模式
 - 请注意 ESP32-C61 在 Station 模式下扫描时, SoftAP 信道会同时改变
 - 天线分集
 - 802.11 mc FTM

蓝牙

- 低功耗蓝牙 (Bluetooth LE): 通过 Bluetooth 6.0 认证
- Bluetooth mesh 1.1
- 高功率模式 (20 dBm 发射功率)
- 基于到达角和出发角的蓝牙方向查找功能 (direction finding, AoA/AoD)
- 带回复的周期性广播 (PAWR)

- 亚速率连接模式 (LE connection subrating)
- 功率控制 (LE power control)
- 速率支持 125 Kbps、500 Kbps、1 Mbps、2 Mbps
- 扩展广播以及多广播支持 (LE advertising extensions)
- 广播者/观察者/中央设备/外围设备多角色并发运行

CPU 和存储

- RISC-V 32 位单核处理器
 - 时钟频率：最高 160 MHz
 - 160 MHz 下 CoreMark® 得分：553.78 CoreMark；3.46 CoreMark/MHz (Q3)
 - 五级流水线架构
- L1 cache (32 KB)
- ROM: 256 KB
- SRAM: 320 KB
- 支持 SPI 协议：SPI、Dual SPI、Quad SPI、QPI，可外接 flash、片外 RAM 和其他 SPI 设备
- 引入 cache 机制的 flash/外部 ram 控制器
- 支持 flash 在线编程

高级外设接口

- 30 个可编程 GPIO
 - 5 个作为 strapping 管脚
- 数字接口：
 - 2 个 SPI 接口用于连接 flash 和 PSRAM
 - 通用 SPI 接口
 - 3 个 UART
 - I2C
 - I2S
 - LED PWM 控制器，多达 6 个通道
 - USB 串口/JTAG 控制器
 - SDIO 2.0 从机控制器
 - 通用 DMA 控制器（简称 GDMA），2 个接收通道和 2 个发送通道
 - 片上 JTAG 调试功能
 - 事件任务矩阵 (ETM)
- 模拟接口：

- 12 位 SAR ADC，多达 4 个通道
- 温度传感器
- 欠压监测器
- 模拟电压比较器
- 定时器：
 - 2 个 54 位通用定时器
 - 52 位系统定时器
 - 2 个主系统看门狗定时器
 - 3 个看门狗定时器

功耗管理

- 通过选择时钟频率、占空比、Wi-Fi 工作模式和单独控制内部器件的电源，实现精准电源控制
- 针对典型场景设计的 4 种功耗模式：Active、Modem-sleep、Light-sleep、Deep-sleep
- Deep-sleep 模式下功耗低至 10 μ A

安全机制

- 安全启动 - 内部和外部存储器的权限控制
- Flash 和 PSRAM 加密 - 外部存储器加密和解密
- 4096 位 OTP，其中 1792 个保留位供用户使用
- 加密硬件加速器：
 - Hash (FIPS PUB 180-4)
 - ECC (支持 [FIPS 186-3](#) 中定义的 P-192 和 P-256 曲线)
 - 椭圆曲线数字签名算法 (ECDSA)
- 真随机数生成器
- 电源毛刺监测器

RF 模块

- 天线开关、射频巴伦 (balun)、功率放大器、低噪声放大器
- 802.11ax 传输功率高达 +19.5 dBm
- 802.11b 传输功率高达 +21 dBm
- 低功耗蓝牙接收器灵敏度 (125 Kbps) 可达到 -106 dBm

应用

低功耗芯片 ESP32-C61 专为物联网 (IoT) 设备而设计，应用领域包括：

- 智能家居
- 工业自动化
- 医疗保健
- 消费电子产品
- 智慧农业
- POS 机
- 服务机器人
- 音频设备
- 通用低功耗 IoT 传感器集线器
- 通用低功耗 IoT 数据记录器

目录

产品概述 2

产品特性 3

应用 6

1 ESP32-C61 系列型号对比 13

1.1 命名规则 13

1.2 型号对比 13

2 管脚 14

2.1 管脚布局 14

2.2 管脚概述 15

2.3 IO 管脚 17

2.3.1 IO MUX 功能 17

2.3.2 LP IO MUX 功能 19

2.3.3 模拟功能 20

2.3.4 GPIO 和 LP GPIO 的限制 21

2.4 模拟管脚 22

2.5 电源 23

2.5.1 电源管脚 23

2.5.2 电源管理 23

2.5.3 芯片上电和复位 24

2.6 芯片与 flash/PSRAM 的管脚对应关系 25

3 启动配置项 27

3.1 芯片启动模式控制 28

3.2 SDIO 输入采样沿和输出驱动沿控制 29

3.3 ROM 日志打印控制 29

3.4 JTAG 信号源控制 30

4 功能描述 31

4.1 系统 31

4.1.1 微处理器和主控 31

4.1.1.1 高性能处理器 31

4.1.1.2 RISC-V 追踪编码器 31

4.1.1.3 GDMA 控制器 32

4.1.2 存储器组织结构 32

4.1.2.1 内部存储器 33

4.1.2.2 外部存储器 34

4.1.2.3 eFuse 控制器 34

4.1.3 系统组件 34

4.1.3.1 IO MUX 和 GPIO 交换矩阵 34

4.1.3.2 复位 35

4.1.3.3 时钟 35

4.1.3.4	中断矩阵	36
4.1.3.5	事件任务矩阵	36
4.1.3.6	系统定时器	36
4.1.3.7	电源管理单元	37
4.1.3.8	欠压监测器	38
4.1.3.9	低功耗定时器	39
4.1.3.10	定时器组	39
4.1.3.11	看门狗定时器	39
4.1.3.12	权限控制	40
4.1.3.13	系统寄存器	40
4.1.3.14	辅助调试	40
4.1.4	加密和安全组件	41
4.1.4.1	ECC 加速器	41
4.1.4.2	椭圆曲线数字签名算法	41
4.1.4.3	SHA 加速器	41
4.1.4.4	片外存储器加密与解密	42
4.1.4.5	真随机数生成器	42
4.1.4.6	电源毛刺监测器	42
4.2	外设	43
4.2.1	通讯接口	43
4.2.1.1	UART 控制器	43
4.2.1.2	SPI 控制器	43
4.2.1.3	I2C 控制器	44
4.2.1.4	I2S 控制器	45
4.2.1.5	USB 串口/JTAG 控制器	45
4.2.1.6	LED PWM 控制器	46
4.2.1.7	SDIO 从机控制器	46
4.2.2	模拟信号处理	47
4.2.2.1	SAR ADC	47
4.2.2.2	温度传感器	48
4.2.2.3	模拟电压比较器	48
4.3	无线通信	49
4.3.1	无线电	49
4.3.1.1	2.4 GHz 接收器	49
4.3.1.2	2.4 GHz 发射器	49
4.3.1.3	时钟生成器	49
4.3.2	Wi-Fi	49
4.3.2.1	Wi-Fi 无线电和基带	49
4.3.2.2	Wi-Fi MAC	50
4.3.2.3	网络特性	51
4.3.3	低功耗蓝牙	51
4.3.3.1	低功耗蓝牙物理层	51
4.3.3.2	低功耗蓝牙链路控制器	51
5	电气特性	53
5.1	绝对最大额定值	53

5.2	建议工作条件	53
5.3	VDD_SPI 输出特性	54
5.4	直流电气特性 (3.3 V, 25 °C)	54
5.5	ADC 特性	54
5.6	功耗特性	55
5.6.1	Active 模式下的功耗	55
5.6.2	其他功耗模式下的功耗	56
6	射频特性	57
6.1	Wi-Fi 射频 (2.4 GHz)	57
6.1.1	Wi-Fi 射频发射器 (TX) 特性	57
6.1.2	Wi-Fi 射频接收器 (RX) 特性	58
6.2	低功耗蓝牙射频	60
6.2.1	低功耗蓝牙射频发射器 (TX) 特性	60
6.2.2	低功耗蓝牙射频接收器 (RX) 特性	61
7	封装	64
附录 A – ESP32-C61 管脚总览		65
修订历史		66

表格

1-1	ESP32-C61 系列芯片对比	13
2-1	ESP32-C61 管脚概述	15
2-2	通过 IO MUX 连接的外设信号	17
2-3	IO MUX 管脚功能	17
2-4	LP IO MUX 功能	19
2-5	连接模拟功能的模拟信号	20
2-6	模拟功能	20
2-7	模拟管脚	22
2-8	电源管脚	23
2-9	电压稳压器	23
2-10	上电和复位时序参数说明	24
2-11	ESP32-C61 封装芯片与封装外 flash 的管脚对应关系 ¹	25
2-12	ESP32-C61 封装芯片与封装外 psram 的管脚对应关系 ¹	25
3-1	Strapping 管脚默认配置	27
3-2	Strapping 管脚的时序参数说明	28
3-3	芯片启动模式控制	28
3-4	SDIO 输入采样沿/输出驱动沿控制	29
3-5	UART0 ROM 日志打印控制	29
3-6	USB 串口/JTAG ROM 日志打印控制	30
3-7	JTAG 信号源控制	30
5-1	绝对最大额定值	53
5-2	建议工作条件	53
5-3	VDD_SPI 内部和输出特性	54
5-4	直流电气特性 (3.3 V, 25 °C)	54
5-5	ADC 特性	55
5-6	ADC 校准结果	55
5-7	Active 模式下 Wi-Fi (2.4 GHz) 功耗特性	55
5-8	Active 模式下低功耗蓝牙功耗特性	55
5-9	Modem-sleep 模式下的功耗	56
5-10	低功耗模式下的功耗	56
6-1	Wi-Fi 射频规格	57
6-2	频谱模板和 EVM 符合 802.11 标准时的发射功率	57
6-3	发射 EVM 测试 ¹	57
6-4	接收灵敏度	58
6-5	最大接收电平	59
6-6	接收邻道抑制	59
6-7	低功耗蓝牙射频规格	60
6-8	低功耗蓝牙 - 发射器特性 - 1 Mbps	60
6-9	低功耗蓝牙 - 发射器特性 - 2 Mbps	60
6-10	低功耗蓝牙 - 发射器特性 - 125 Kbps	61
6-11	低功耗蓝牙 - 发射器特性 - 500 Kbps	61
6-12	低功耗蓝牙 - 接收器特性 - 1 Mbps	61
6-13	低功耗蓝牙 - 接收器特性 - 2 Mbps	62

6-14 低功耗蓝牙 - 接收器特性 - 125 Kbps	63
6-15 低功耗蓝牙 - 接收器特性 - 500 Kbps	63
7-1 QFN40 封装管脚总览	65

PRELIMINARY

插图

1-1	ESP32-C61 系列芯片命名规则	13
2-1	ESP32-C61 管脚布局（俯视图）	14
2-2	ESP32-C61 电源管理	24
2-3	上电和复位时序参数图	24
3-1	Strapping 管脚的时序参数图	28
4-1	地址映射结构	33
4-2	模块和电源域	38
4-3	模块和电源域	38
7-1	QFN40 (5×5 mm) 封装	64

1 ESP32-C61 系列型号对比

1.1 命名规则

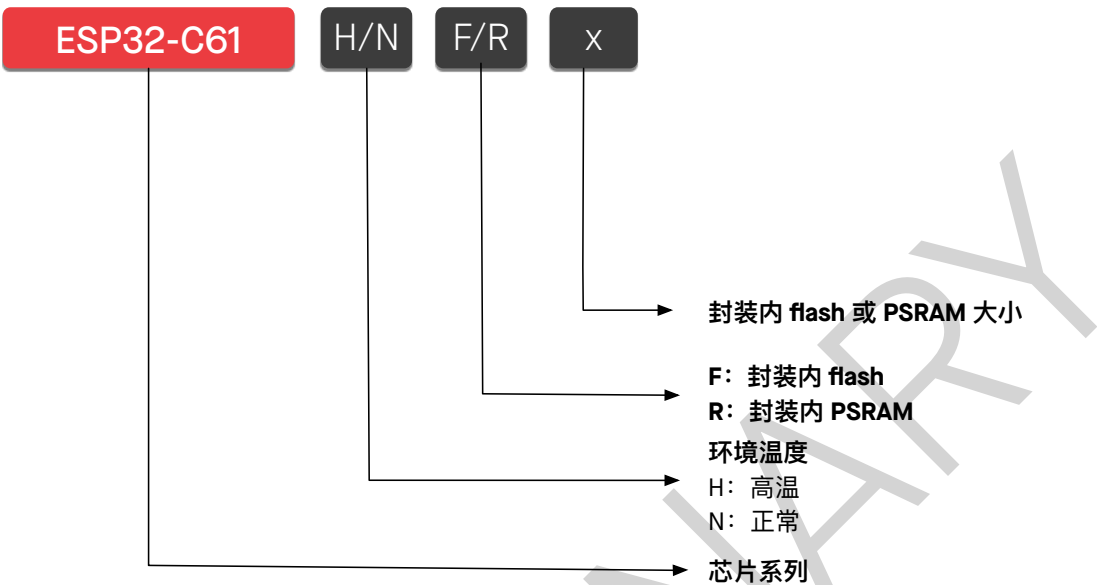


图 1-1. ESP32-C61 系列芯片命名规则

1.2 型号对比

表 1-1. ESP32-C61 系列芯片对比

订购代码	封装内 Flash	封装内 PSRAM	环境温度 ¹	封装外 Flash	封装外 PSRAM
ESP32-C61HF4	4 MB (Quad SPI) ²	—	−40 ~ 105 °C	—	—
ESP32-C61HR2	—	2 MB (Quad SPI)	−40 ~ 105 °C	支持	—
ESP32-C61HR8	—	8 MB (Quad SPI)	−40 ~ 105 °C	支持	—

¹ 环境温度指乐鑫芯片外部的推荐环境温度。
² 更多关于 SPI 模式的信息，请参考章节 2.6 芯片与 flash/PSRAM 的管脚对应关系。

2 管脚

2.1 管脚布局

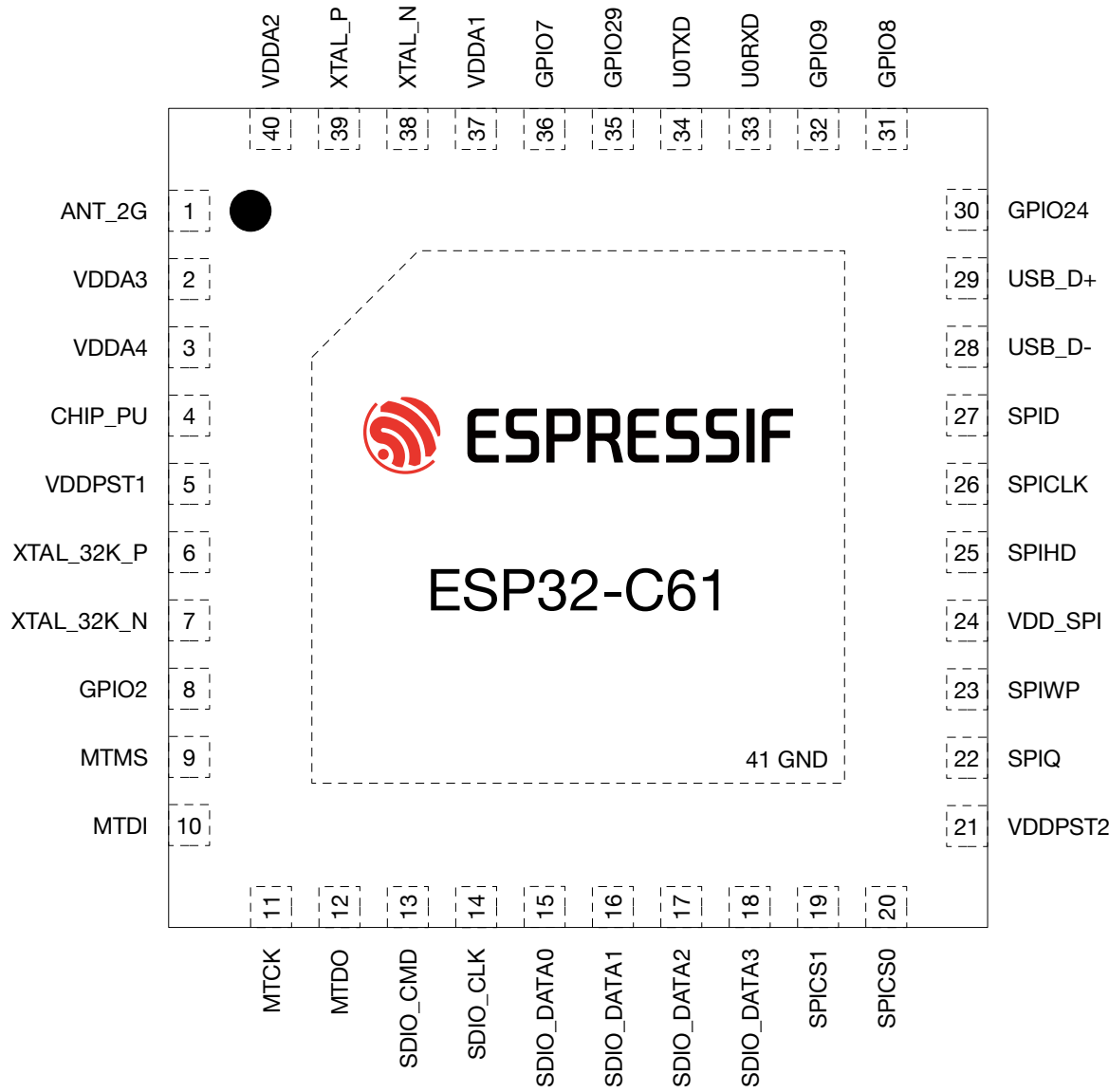


图 2-1. ESP32-C61 管脚布局 (俯视图)

2.2 管脚概述

ESP32-C61 芯片集成了多个需要与外界通讯的外设。由于芯片封装尺寸小、管脚数量有限，传送所有输入输出信号的唯一方法是管脚多路复用。管脚多路复用由软件可编程的寄存器控制。

总体而言，ESP32-C61 芯片的管脚可分为以下几类：

- **IO 管脚**，具有以下预设功能：
 - 每个 IO 管脚都预设了 **IO MUX 功能** – 见表 2-3 [IO MUX 功能](#)
 - 部分 IO 管脚预设了 **LP IO MUX 功能** – 见表 2-4 [LP IO MUX 功能](#)
 - 部分 IO 管脚预设了 **模拟功能** – 见表 2-6 [模拟功能](#)

预设功能即每个 IO 管脚直接连接至一组特定的片上外设信号。运行时，可通过映射寄存器配置连接管脚的外设信号。

- **模拟管脚**，专用于**模拟功能** – 见表 2-7 [模拟管脚](#)
- **电源管脚**，为芯片组件和非电源管脚供电 – 见表 2-8 [电源管脚](#)

表 2-1 [管脚概述](#) 简要介绍了所有管脚。更多信息，详见下文相应章节，或参考[附录 A – ESP32-C61 管脚总览](#)。

表 2-1. ESP32-C61 管脚概述

管脚序号	管脚名称	管脚类型	供电管脚 ²	管脚配置 ³		管脚功能 ¹		
				复位时	复位后	IO MUX	LP IO MUX	模拟
1	ANT_2G	模拟	–	–	–	–	–	–
2	VDDA3	电源	–	–	–	–	–	–
3	VDDA4	电源	–	–	–	–	–	–
4	CHIP_PU	I	VDDPST1	–	–	–	–	–
5	VDDPST1	电源	–	–	–	–	–	–
6	XTAL_32K_P	I/O/T	VDDPST1	–	–	IO MUX	LP IO MUX	模拟
7	XTAL_32K_N	I/O/T	VDDPST1	–	–	IO MUX	LP IO MUX	模拟
8	GPIO2	I/O/T	VDDPST1	–	–	IO MUX	LP IO MUX	–
9	MTMS	I/O/T	VDDPST1	IE	IE	IO MUX	LP IO MUX	模拟
10	MTDI	I/O/T	VDDPST1	IE	IE	IO MUX	LP IO MUX	模拟
11	MTCK	I/O/T	VDDPST1	–	IE	IO MUX	LP IO MUX	模拟
12	MTDO	I/O/T	VDDPST1	–	IE	IO MUX	LP IO MUX	–
13	SDIO_CMD	I/O/T	VDDPST2	–	IE	IO MUX	–	–
14	SDIO_CLK	I/O/T	VDDPST2	–	IE	IO MUX	–	–
15	SDIO_DATA0	I/O/T	VDDPST2	–	IE	IO MUX	–	–
16	SDIO_DATA1	I/O/T	VDDPST2	–	IE	IO MUX	–	–
17	SDIO_DATA2	I/O/T	VDDPST2	–	IE	IO MUX	–	–
18	SDIO_DATA3	I/O/T	VDDPST2	–	IE	IO MUX	–	–
19	SPICS1	I/O/T	VDD_SPI/VDDPST2	–	–	IO MUX	–	–
20	SPICS0	I/O/T	VDD_SPI/VDDPST2	–	–	IO MUX	–	–
21	VDDPST2	电源	–	–	–	–	–	–
22	SPIQ	I/O/T	VDD_SPI/VDDPST2	–	–	IO MUX	–	–
23	SPIWP	I/O/T	VDD_SPI/VDDPST2	–	–	IO MUX	–	–

见下页

表 2-1 – 接上页

管脚 序号	管脚 名称	管脚 类型	供电 管脚 ²	管脚配置 ³		管脚功能 ¹		
				复位时	复位后	IO MUX	LP IO MUX	模拟
24	VDD_SPI	电源	VDDPST2	–	–	IO MUX	–	模拟
25	SPIHD	I/O/T	VDD_SPI/VDDPST2	–	–	IO MUX	–	–
26	SPICLK	O	VDD_SPI/VDDPST2	–	–	IO MUX	–	–
27	SPID	I/O/T	VDD_SPI/VDDPST2	–	–	IO MUX	–	–
28	USB_D-	I/O/T	VDDPST2	–	IE	IO MUX	–	模拟
29	USB_D+	I/O/T	VDDPST2	–	IE,WPU	IO MUX	–	模拟
30	GPIO24	I/O/T	VDDPST2	–	–	IO MUX	–	–
31	GPIO8	I/O/T	VDDPST2	IE	IE	IO MUX	–	模拟
32	GPIO9	I/O/T	VDDPST2	IE,WPU	IE,WPU	IO MUX	–	模拟
33	UORXD	I/O/T	VDDPST2	–	IE,WPU	IO MUX	–	–
34	UOTXD	I/O/T	VDDPST2	–	IE,WPU	IO MUX	–	–
35	GPIO29	I/O/T	VDDPST2	–	–	IO MUX	–	–
36	GPIO7	I/O/T	VDDPST2	IE	IE	IO MUX	–	–
37	VDDA1	电源	–	–	–	–	–	–
38	XTAL_N	模拟	–	–	–	–	–	–
39	XTAL_P	模拟	–	–	–	–	–	–
40	VDDA2	电源	–	–	–	–	–	–

1. 加粗功能为默认启动模式下管脚的默认功能，详见章节 3.1 芯片启动模式控制。
2. 除 GPIO12、GPIO13 的管脚默认驱动电流为 40 mA，其余管脚的默认驱动电流均为 20 mA。
3. 管脚配置一栏为复位时和复位后预设配置缩写：
 - IE – 输入使能
 - WPU – 内部弱上拉电阻使能
 - WPD – 内部弱下拉电阻使能
 - USB_PU – USB 上拉电阻使能
 - USB 管脚(GPIO12 和 GPIO13)默认开启 USB 功能,此时管脚是否上拉由 USB 上拉决定。USB 上拉由 USB_SERIAL_JTAG_DP/DM_PULLUP 控制，USB 上拉电阻的具体阻值可通过 USB_SERIAL_JTAG_PULLUP_VALUE 位控制。
 - USB 管脚关闭 USB 功能时，用作普通 GPIO，默认禁用管脚内部弱上/下拉电阻，可通过 IO_MUX_FUN_WPU/WPD 配置。

2.3 IO 管脚

2.3.1 IO MUX 功能

IO MUX 能让一个输入/输出管脚连接多个输入/输出信号。ESP32-C61 的每个 IO 管脚可在表 2-3 *IO MUX 功能* 列出的三个信号 (IO MUX 功能, 即 F0–F2) 中选择, 连接任意一个。

三个信号中:

- 部分源自 GPIO 交换矩阵 (**GPIO0**、**GPIO1** 等)。GPIO 交换矩阵包含内部信号传输线路, 用于映射信号, 能令管脚连接几乎任一外设信号。这种映射虽然灵活, 但可能影响传输信号的速度, 造成延迟。
- 部分直接源自特定外设 (**UOTXD**、**MTCK** 等), 包括 UART0、JTAG、SPI0/1、SPI2 和 SDIO 2.0 Slave - 详见表 2-2 *IO MUX 功能*。

表 2-2. 通过 IO MUX 连接的外设信号

管脚功能	信号	描述
UOTXD UORXD	发送数据 (Transmit) 接收数据 (Receive)	UART0 接口
MTCK MTDO MTDI MTMS	测试时钟 (Test clock) 测试数据输出 (Test data out) 测试数据输入 (Test data in) 测试模式选择 (Test mode select)	用于调试功能的 JTAG 接口
SPIQ SPID SPIHD SPIWP SPICLK SPICS...	数据输出 (Data out) 数据输入 (Data in) 暂停 (Hold) 写保护 (Write protect) 时钟 (Clock) 片选 (Chip select)	3.3 V SPI0/1 接口, 通过 SPI 总线连接封装内或封装外 flash/PSRAM。支持单线、双线、四线 SPI 模式。详见章节 2.6 芯片与 flash/PSRAM 的管脚对应关系
FSPIQ FSPID FSPIHD FSPIWP FSPICLK FSPICSO	数据输出 (Data out) 数据输入 (Data in) 暂停 (Hold) 写保护 (Write protect) 时钟 (Clock) 片选 (Chip select)	用于快速 SPI 传输的 SPI2 主接口。支持单线、双线、四线 SPI 模式
SDIO_CLK SDIO_CMD SDIO_DATA...	时钟 (Clock) 命令 (Command) 数据位 (Data)	用于连接外部 SDIO 主机的安全数字输入/输出 (SDIO) 接口

表 2-3 *IO MUX 功能* 列出了管脚的 IO MUX 功能。

表 2-3. IO MUX 管脚功能

管脚 序号	IO MUX / GPIO 名称	IO MUX 功能 ^{1,2}					
		F0	类型 ³	F1	类型	F2	类型
6	XTAL_32K_P	GPIO0	I/O/T	GPIO0	I/O/T		
7	XTAL_32K_N	GPIO1	I/O/T	GPIO1	I/O/T		
8	GPIO2	GPIO2	I/O/T	GPIO2	I/O/T	FSPIQ	I/O/T
9	MTMS	MTMS	I1	GPIO3	I/O/T	FSPIHD	I/O/T

见下页

表 2-3 – 接上页

管脚 序号	IO MUX / GPIO 名称	IO MUX 功能 ^{1,2}					
		F0	类型 ³	F1	类型	F2	类型
10	MTDI	MTDI	I1	GPIO4	I/O/T	FSPiWP	I1/O/T
11	MTCK	MTCK	I1	GPIO5	I/O/T		
12	MTDO	MTDO	O/T	GPIO6	I/O/T	FSPiCLK	I1/O/T
13	SDIO_CMD	SDIO_CMD	I1/O/T	GPIO25	I/O/T		
14	SDIO_CLK	SDIO_CLK	I1	GPIO26	I/O/T		
15	SDIO_DATA0	SDIO_DATA0	I1/O/T	GPIO27	I/O/T		
16	SDIO_DATA1	SDIO_DATA1	I1/O/T	GPIO28	I/O/T		
17	SDIO_DATA2	SDIO_DATA2	I1/O/T	GPIO22	I/O/T		
18	SDIO_DATA3	SDIO_DATA3	I1/O/T	GPIO23	I/O/T		
19	SPICS1	SPICS1	O/T	GPIO14	I/O/T		
20	SPICS0	SPICS0	O/T	GPIO15	I/O/T		
22	SPIQ	SPIQ	I1/O/T	GPIO16	I/O/T		
23	SPIWP	SPIWP	I1/O/T	GPIO17	I/O/T		
24	VDD_SPI	GPIO18	I/O/T	GPIO18	I/O/T		
25	SPIHD	SPIHD	I1/O/T	GPIO19	I/O/T		
26	SPiCLK	SPiCLK	O/T	GPIO20	I/O/T		
27	SPiD	SPiD	I1/O/T	GPIO21	I/O/T		
28	USB_D-	GPIO12	I/O/T	GPIO12	I/O/T		
29	USB_D+	GPIO13	I/O/T	GPIO13	I/O/T		
30	GPIO24	GPIO24	I/O/T	GPIO24	I/O/T		
31	GPIO8	GPIO8	I/O/T	GPIO8	I/O/T	FSPiCS0	I1/O/T
32	GPIO9	GPIO9	I/O/T	GPIO9	I/O/T		
33	UORXD	UORXD	I1	GPIO10	I/O/T		
34	UOTXD	UOTXD	O	GPIO11	I/O/T		
35	GPIO29	GPIO29	I/O/T	GPIO29	I/O/T		
36	GPIO7	GPIO7	I/O/T	GPIO7	I/O/T	FSPiD	I1/O/T

¹ 加粗表示默认启动模式下的默认管脚功能，详见章节 3.1 芯片启动模式控制。

² 高亮的单元格，详见章节 2.3.4 GPIO 和 LP GPIO 的限制。

³ 每个 IO MUX 功能 (F_n , $n = 0 \sim 2$) 均对应一个“类型”。以下是各个“类型”的含义：

- I – 输入。O – 输出。T – 高阻。
- I1 – 输入；如果该管脚分配了 F_n 以外的功能，则 F_n 的输入信号恒为 1。
- IO – 输入；如果该管脚分配了 F_n 以外的功能，则 F_n 的输入信号恒为 0。

2.3.2 LP IO MUX 功能

LP IO MUX 功能在 HP 数字系统关闭时激活，从而节省功耗。

表 2-4. LP IO MUX 功能

管脚 序号	LP IO 名称	LP IO MUX 功能 FO
6	LP_GPIO0	LP_GPIO0
7	LP_GPIO1	LP_GPIO1
8	LP_GPIO2	LP_GPIO2
9	LP_GPIO3	LP_GPIO3
10	LP_GPIO4	LP_GPIO4
11	LP_GPIO5	LP_GPIO5
12	LP_GPIO6	LP_GPIO6

2.3.3 模拟功能

部分 IO 管脚具有**模拟功能**，可用于任意功耗模式下的模拟外设（如 ADC）。模拟功能连接内部模拟信号，详见表 2-5 **模拟功能**。

表 2-5. 连接模拟功能的模拟信号

管脚功能	信号	描述
ADC1_CH n	ADC1 通道 n 信号	ADC1 通道 n 接口
XTAL_32K_N XTAL_32K_P	负极性时钟信号 (Negative clock signal) 正极性时钟信号 (Positive clock signal)	芯片的差分时钟输入，需要连接外部无源晶振的 32 kHz 差分时钟输出
USB_D- USB_D+	USB 数据差分信号	USB 串口/JTAG 功能
ZCD n	GPIO Pad 上的电压	模拟 Pad 电压比较功能

表 2-6 **模拟功能** 列出了 IO 管脚的模拟功能。

表 2-6. 模拟功能

管脚 序号	模拟 IO 名称	模拟功能	
		F0	F1
6	XTAL_32K_P	XTAL_32K_P	-
7	XTAL_32K_N	XTAL_32K_N	ADC1_CH0
9	MTMS	-	ADC1_CH1
10	MTDI	-	ADC1_CH2
11	MTCK	-	ADC1_CH3
28	USB_D-	USB_D-¹	-
29	USB_D+	USB_D+¹	-
24	VDD_SPI	VDD_SPI	-
31	GPIO8²	ZCD0	-
32	GPIO9	ZCD1	-

¹ **加粗**表示默认启动模式下的默认管脚功能，详见章节 3.1 **芯片启动模式控制**。

² **高亮**的单元格，详见章节 2.3.4 **GPIO 和 LP GPIO 的限制**。

2.3.4 GPIO 和 LP GPIO 的限制

ESP32-C61 的所有 IO 管脚都有 GPIO 功能，部分还具有 LP GPIO 功能。这些 IO 管脚是多功能管脚，可以根据需求配置不同的功能，也有一些使用限制，需要特别注意。

章节 2.3 *IO 管脚* 的表格中，部分管脚功能有 **高亮** 标记。推荐优先使用没有高亮的 GPIO 或 LP GPIO 管脚。如需更多管脚，请谨慎选择高亮的 GPIO 或 LP GPIO 管脚，避免与重要功能冲突。

高亮的 IO 管脚有以下重要功能：

- **GPIO** – 用于与封装内 flash/PSRAM 通讯，不建议作其他用途。更多信息，详见章节 2.6 *芯片与 flash/PSRAM 的管脚对应关系*。
- **GPIO** – 具有以下重要功能之一：
 - **Strapping 管脚** – 启动时逻辑电平需为特定值。详见章节 3 *启动配置项*。
 - **USB_D+/-** – 默认情况下连接 USB 串口/JTAG 控制器。此类管脚需重新配置，方可用作 GPIO。
 - **JTAG 接口** – 通常用于调试功能。详见表 2-2 *IO MUX 功能*。要释放这类管脚，可用 USB 串口/JTAG 控制器的 USB_D+/- 功能代替。详见章节 3.4 *JTAG 信号源控制*。
 - **UART 接口** – 通常用于调试功能。详见表 2-2 *IO MUX 功能*。

附录 A – ESP32-C61 管脚总览 也可参考。

2.4 模拟管脚

表 2-7. 模拟管脚

管脚 序号	管脚 名称	管脚 类型	管脚 功能
1	ANT_2G	I/O	射频输入和输出
4	CHIP_PU	—	高电平：芯片使能（上电）； 低电平：芯片关闭（掉电）； 注意不能让 CHIP_PU 管脚浮空
38	XTAL_N	—	连接芯片无源晶振的外部时钟输入/输出。
39	XTAL_P	—	P/N 分别对应差分时钟的正极/负极端。

2.5 电源

2.5.1 电源管脚

表 2-8 电源管脚 列举了为芯片供电的电源管脚。

表 2-8. 电源管脚

管脚 序号	管脚 名称	方向	电源 ^{1,2}	
			电源域 / 其他	IO 管脚 ³
2	VDDA3	输入	模拟电源域	
3	VDDA4	输入	模拟电源域	
5	VDDPST1	输入	数字 HP 以及部分数字 LP 电源域	LP IO
23	VDD_SPI	输出	一个来自于 VDDPST2 用于给 flash 供电的电源	
30	VDDPST2	输入	数字电源域，给 HP 数字域供电	HP IO
37	VDDA1	输入	模拟电源域	
40	VDDA2	输入	模拟电源域	
41	GND	—	外部接地	

¹ 请结合章节 2.5.2 电源管理 阅读。
² 电压、电流的推荐值和最大值，详见章节 5.1 绝对最大额定值 和章节 5.2 建议工作条件。
³ LP IO 管脚即由 VDDPST1 供电的管脚，如图 2-2 ESP32-C61 电源管理 所示，也可参考表 2-1 管脚概述 > 供电管脚一栏所示。

2.5.2 电源管理

电源管理如图 2-2 ESP32-C61 电源管理 所示。

芯片上的元器件通过电压稳压器供电。

表 2-9. 电压稳压器

电压稳压器	输出	电源
HP	1.1 V	HP 电源域
LP	1.1 V	LP 电源域

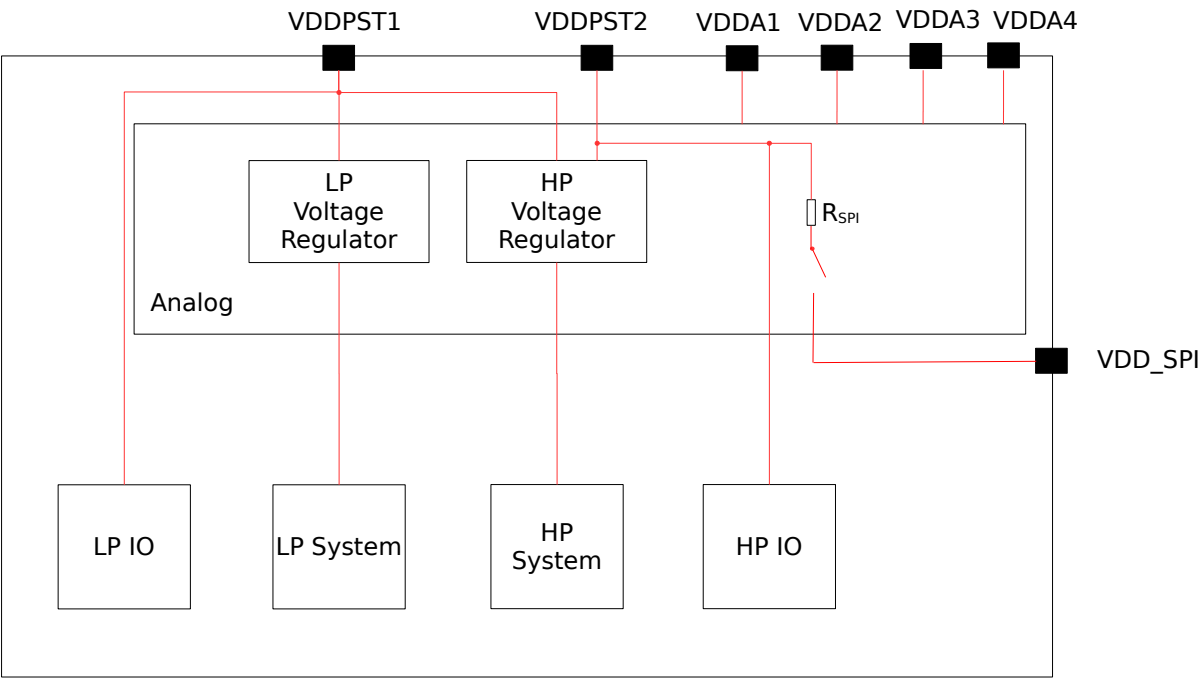


图 2-2. ESP32-C61 电源管理

2.5.3 芯片上电和复位

芯片上电后，其电源轨需要一点时间方可稳定。之后，用于上电和复位的管脚 CHIP_PU 拉高，激活芯片。更多关于 CHIP_PU 及上电和复位时序的信息，请见图 2-3 和表 2-10。

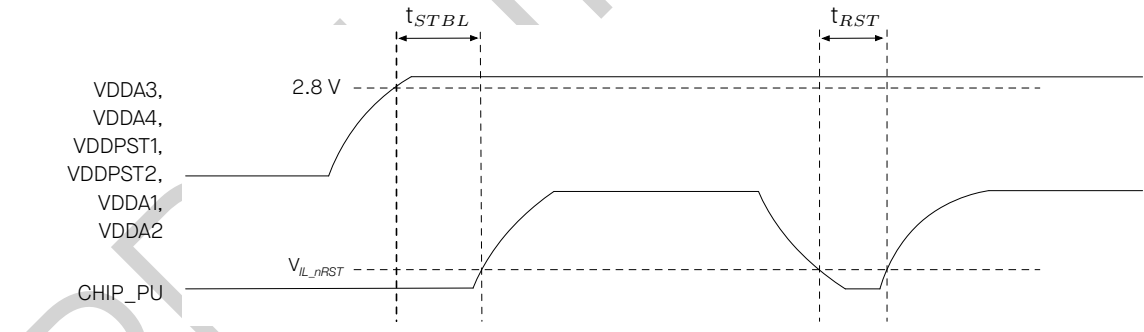


图 2-3. 上电和复位时序参数图

表 2-10. 上电和复位时序参数说明

参数	说明	最小值 (μs)
t_{STBL}	CHIP_PU 管脚拉高激活芯片前，VDDA3、VDDA4、VDDPST1、VDDPST2、VDDA1 和 VDDA2 达到稳定所需的时间	50
t_{RST}	CHIP_PU 电平低于 V_{IL_nRST} 从而复位芯片的时间	50

2.6 芯片与 flash/PSRAM 的管脚对应关系

表 2-11 列出了所有 SPI 模式下芯片与 flash/PSRAM 的管脚对应关系。

封装内带有 flash/PSRAM 的芯片变型（见表 1-1 型号对比）与封装内 flash/PSRAM 连接的管脚取决于所使用的 SPI 模式。封装外 flash/PSRAM 的推荐连接管脚也可参照下表。

对于有内封存储器件（flash 或 PSRAM）的芯片，被合封的 flash 或 PSRAM 必须由 VDD_SPI 供电，不可用做数字功能脚使用。

而封装外 flash 或 PSRAM 的供电则是可选的，可选择由 VDD_SPI 提供，或由客户直接在外部提供电源。总的来说，只要 VDD_SPI 为 flash 或 PSRAM 供电，则这个管脚就不可以用作数字功能脚。

更多关于 SPI 控制器的信息，可参考章节 4.2.1.2 SPI 控制器。

注意：

不建议将连接 flash/PSRAM 的管脚用于其他用途。

表 2-11. ESP32-C61 封装芯片与封装外 flash 的管脚对应关系¹

管脚序号	管脚名称	单线 SPI Flash	双线 SPI Flash	四线 SPI Flash
26	SPICLK	CLK	CLK	CLK
20	SPICSO ²	CS#	CS#	CS#
27	SPID	MOSI	SIOO ³	SIOO
22	SPIQ	MISO	SIO1	SIO1
23	SPIWP	WP#		SIO2
25	SPIHD	HOLD#		SIO3

¹ 仅当芯片内部未封装 flash 时，才可外接 flash。

² SPICSO 用于访问 flash

³ SIO：串行输入输出 (Serial Data Input and Output)

表 2-12. ESP32-C61 封装芯片与封装外 psram 的管脚对应关系¹

QFN48 管脚序号	管脚名称	单线 SPI PSRAM	四线 SPI PSRAM
26	SPICLK	CLK	CLK
19	SPICS1 ²	CE#	CE#
27	SPID	SI ³	SIOO
22	SPIQ	SO ⁴	SIO1
23	SPIWP		SIO2
25	SPIHD		SIO3

¹ 仅当芯片内部未封装 PSRAM 时，才可以外接 PSRAM，如果不外接 PSRAM，这些管脚不可以用作 GPIO 管脚

² SPICS1 用于访问 PSRAM

³ SI: 串行输入 (Serial Data Input), 功能等同 MOSI

⁴ SO: 串行输出 (Serial Data Output), 功能等同 MISO

PRELIMINARY

3 启动配置项

芯片在上电或硬件复位时，可以通过 strapping-pin 和 efuse-parameter 配置如下启动参数，无需微处理器的参与：

- **芯片启动模式**
 - Strapping 管脚：GPIO8 和 GPIO9
- **SDIO 输入采样沿和输出驱动沿控制**
 - Strapping 管脚：MTDI 和 MTMS
- **ROM 日志打印**
 - Strapping 管脚：GPIO8
 - eFuse 参数：EFUSE_UART_PRINT_CONTROL 和 EFUSE_DIS_USB_SERIAL_JTAG_ROM_PRINT
- **JTAG 信号源**
 - Strapping 管脚：GPIO7
 - eFuse 参数：EFUSE_DIS_PAD_JTAG、EFUSE_DIS_USB_JTAG 和 EFUSE_JTAG_SEL_ENABLE

上述 eFuse 参数的默认值均为 0，也就是说没有烧写过。eFuse 只能烧写一次，一旦烧写为 1，便不能恢复为 0。

上述 strapping 管脚如果没有连接任何电路或连接的电路处于高阻抗状态，则其默认值（即逻辑电平值）取决于管脚内部弱上拉/下拉电阻在复位时的状态。

表 3-1. Strapping 管脚默认配置

Strapping 管脚	默认配置	值
MTMS	浮空	–
MTDI	浮空	–
GPIO7	浮空	–
GPIO8	浮空	–
GPIO9	上拉	1

要改变 strapping 管脚的值，可以连接外部下拉/上拉电阻。如果 ESP32-C61 用作主机 MCU 的从设备，strapping 管脚的电平也可通过主机 MCU 控制。

所有 strapping 管脚都有锁存器。系统复位时，锁存器采样并存储相应 strapping 管脚的值，一直保持到芯片掉电或关闭。锁存器的状态无法用其他方式更改。因此，strapping 管脚的值在芯片工作时一直可读取，strapping 管脚在芯片复位后作为普通 IO 管脚使用。

Strapping 管脚的信号时序需遵循表 3-2 和图 3-1 所示的建立时间和保持时间。

表 3-2. Strapping 管脚的时序参数说明

参数	说明	最小值 (ms)
t_{SU}	建立时间，即拉高 CHIP_PU 激活芯片前，电源轨达到稳定所需的时间	0
t_H	保持时间，即 CHIP_PU 已拉高、strapping 管脚变为普通 IO 管脚开始工作前，可读取 strapping 管脚值的时间	3

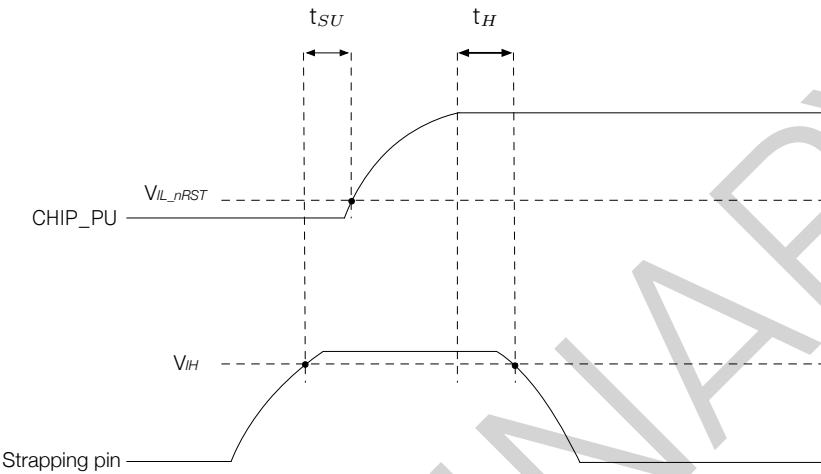


图 3-1. Strapping 管脚的时序参数图

3.1 芯片启动模式控制

复位释放后，GPIO8 和 GPIO9 共同决定启动模式。详见表 3-3 芯片启动模式控制。

表 3-3. 芯片启动模式控制

启动模式	GPIO8	GPIO9
SPI Boot¹	任意值	1
Joint Download Boot ²	1	0

¹ 加粗表示默认值和默认配置。

² Joint Download Boot 模式下支持以下下载方式：

- USB-Serial-JTAG Download Boot
- UART Download Boot
- SDIO Slave 2.0 Download Boot

在 SPI Boot 模式下，ROM 引导加载程序通过从 SPI flash 中读取程序来启动系统。

在 Joint Download Boot 模式下，用户可通过 UART0、USB 或 SDIO Slave 接口将二进制文件下载至 flash，然后在 SPI Boot 模式下运行。

用户也可在 Joint Download Boot 模式下，通过 UART0、USB 或 SDIO Slave 接口将二进制文件下载至 SRAM 后直接运行。

3.2 SDIO 输入采样沿和输出驱动沿控制

MTMS 和 MTDI 管脚可用于调节 SDIO 输入采样沿和输出驱动沿。详见表 3-4 *SDIO 输入采样沿/输出驱动沿控制*。

表 3-4. SDIO 输入采样沿/输出驱动沿控制

沿控制	MTMS	MTDI
下降沿采样下降沿输出	0	0
下降沿采样上升沿输出	0	1
上升沿采样下降沿输出	1	0
上升沿采样上升沿输出	1	1

¹ MTMS 和 MTDI 默认浮空，以上均非默认配置。

3.3 ROM 日志打印控制

系统启动过程中，ROM 代码日志可打印至：

- (默认) UART0 和 USB 串口/JTAG 控制器
- USB 串口/JTAG 控制器
- UART0

LP_AON_STORE4_REG[0]、EFUSE_UART_PRINT_CONTROL 和 GPIO8 控制 **UART0** ROM 日志打印，如表 3-5 *UART0 ROM 日志打印控制* 所示。

表 3-5. UART0 ROM 日志打印控制

UART0 ROM 日志打印	EFUSE_UART_PRINT_CONTROL	GPIO8	Register ¹
始终使能²	0	忽略	0
使能	1	0	
关闭		1	
关闭	2	0	
使能		1	
始终关闭	3	忽略	1
关闭	忽略	忽略	

¹ 寄存器：LP_AON_STORE4_REG[0]

² **加粗**表示默认值和默认配置。

EFUSE_DIS_USB_SERIAL_JTAG_ROM_PRINT 和 LP_AON_STORE4_REG[0] 控制 **USB 串口/JTAG 控制器** ROM 日志打印，如表 3-6 *USB 串口/JTAG ROM 日志打印控制* 所示。

表 3-6. USB 串口/JTAG ROM 日志打印控制

USB 串口/JTAG ROM 日志打印控制	LP_AON_STORE4_REG[0]	EFUSE_DIS_USB_SERIAL_JTAG_ROM_PRINT
使能	0	0
关闭	0	1
	1	忽略

¹ 加粗表示默认值和默认配置。

3.4 JTAG 信号源控制

在系统启动早期阶段，GPIO7 可用于控制 JTAG 信号源。该管脚没有内部上下拉电阻，strapping 的值必须由不处于高阻抗状态的外部电路控制。

如表 3-7 所示，GPIO7 与 EFUSE_DIS_PAD_JTAG、EFUSE_DIS_USB_JTAG 和 EFUSE_JTAG_SEL_ENABLE 共同控制 JTAG 信号源。

表 3-7. JTAG 信号源控制

eFuse 1 ¹	eFuse 2 ²	eFuse 3 ³	GPIO7	JTAG 信号源
0	0	0	x ⁴	USB 串口/JTAG 控制器 ⁵
		1	1	
			0	
0	x	x	x	JTAG 管脚 MTDI、MTCK、MTMS 和 MTDO
0	1	x	x	
1	0	x	x	USB 串口/JTAG 控制器
1	x	x	x	JTAG 关闭
1	1	x	x	

¹ eFuse 1: EFUSE_DIS_PAD_JTAG

² eFuse 2: EFUSE_DIS_USB_JTAG

³ eFuse 3: EFUSE_JTAG_SEL_ENABLE

⁴ x: x 表示该值被忽略，任何取值不影响该状态。

⁵ 加粗表示默认值和默认配置。

4 功能描述

4.1 系统

本章节描述了芯片操作的核心部分，包括微处理器、存储器组织结构、系统组件和安全功能。

4.1.1 微处理器和主控

本章节描述了芯片内的核心处理单元及其功能。

4.1.1.1 高性能处理器

ESP-RISC-V CPU (HP CPU) 是一款基于 RISC-V 指令集架构 (ISA) 的高性能 32 位内核，包括基本整数 (I)、乘法/除法 (M)、原子 (A) 和压缩 (C) 标准扩展。

特性

- 五级流水线，时钟工作频率高达 160 MHz
- [RV32IMAC](#) ISA (指令集架构)
- 支持 Zc 扩展 (Zcb、Zcmp、Zcmt)
- 支持双周期流水线乘法器和基 4 SRT 除法器
- 符合 RISC-V 指令集手册 v2.2 第一卷“非特权架构” (RISC-V Instruction Set Manual Volume I: Unprivileged ISA, Version 2.2) 和 RISC-V 指令集手册 v1.10 第二卷“特权架构” (RISC-V Instruction Set Manual, Volume II: Privileged Architecture, Version 1.10)
- 通过 IRAM/DRAM 接口零等待周期访问片上 SRAM 和缓存中的程序和数据
- 支持分支预测功能 BHT、BTB 与 RAS
- 兼容 RISC-V 处理器核局部中断 (CLINT)
- 兼容 RISC-V 处理器核局部中断控制器 (CLIC)
- 支持两个特权模式：机器模式与用户模式
- 调试模块 (DM) 符合 RISC-V 外部调试支持规范 (RISC-V External Debug Support) v0.13，支持通过行业标准的 JTAG/USB 端口连接外部调试器
- 支持与 RISC-V Trace 规范 v2.0 兼容的追踪离线调试，详见章节 [4.1.1.2 RISC-V 追踪编码器](#)
- 硬件触发器符合 RISC-V 调试规范 v0.13，具有多达 3 个断点/观察点
- 物理存储器保护 (PMP) 和物理存储器属性 (PMA)，最多可配置 16 个区域

4.1.1.2 RISC-V 追踪编码器

ESP32-C61 芯片中的 RISC-V 追踪编码器提供了一种从高性能 CPU 执行过程中捕获详细追踪信息的方法，以便对系统进行更深入的分析和优化。它连接到 HP CPU 的指令追踪接口，并将信息压缩成较小的数据包，然后存储在内部 SRAM 中。

特性

- 兼容 RISC-V 高效跟踪规范 (Efficient Trace for RISC-V) v2.0
- 每隔几个时钟周期或数据包发送同步数据包
- 使用零字节作为锚定符来识别数据包之间的边界
- 可配置的存储器写入模式：循环或非循环模式
- 支持丢包状态标识
- 支持丢包后自动重启
- 支持 delta 地址模式和完整地址模式
- 支持过滤器

4.1.1.3 GDMA 控制器

GDMA 控制器是通用的直接内存访问控制器，可以在无需 CPU 干预的情况下完成外设与存储器之间及存储器与存储器之间的数据传输。GDMA 具有四个独立通道，其中两个用于传输，两个用于接收。这些通道由具有 GDMA 功能的外设共享，包括 SPI2、I2S、SHA 和 ADC。

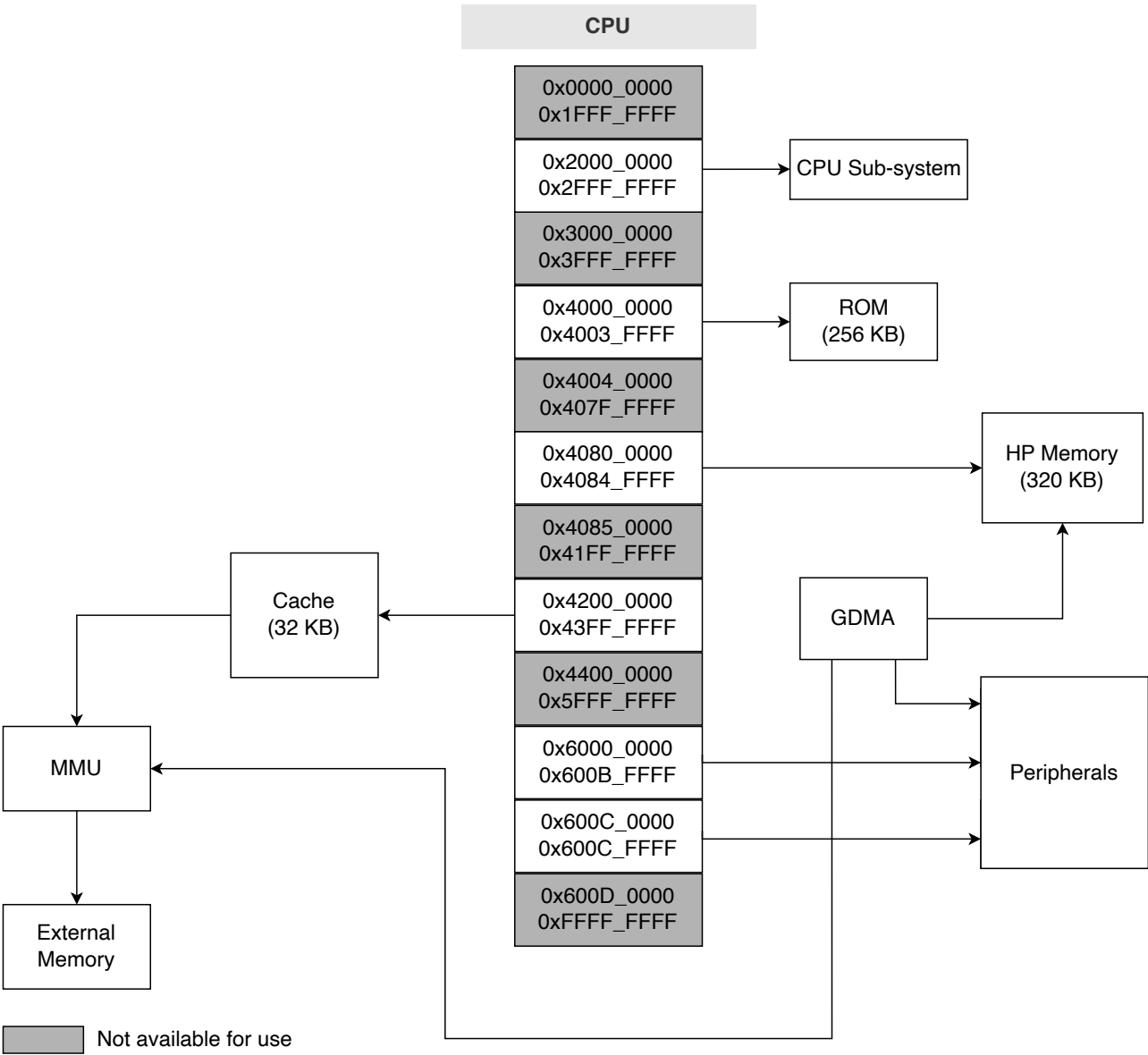
特性

- 可编程的数据传输长度（以字节为单位）
- 链表描述符，用于高效的数据传输管理
- 在访问内部 RAM 时进行 INCR burst 传输，以提高性能
- 可访问内部 RAM 及片外 PSRAM
- 可通过软件选择请求服务的外设
- 用于管理带宽的固定优先级和轮询通道仲裁方案
- 支持事件任务矩阵

4.1.2 存储器组织结构

本章节描述了存储器布局，解释数据的存储、访问和管理方式，以实现高效的操作。

ESP32-C61 的地址映射结构如图 4-1 所示。



4.1.2.1 内部存储器

ESP32-C61的内部存储器即集成于芯片晶圆上或封装内部的存储器,包括 ROM、SRAM、eFuse、flash 和 PSRAM。

特性

- 256 KB 的 ROM, 用于程序启动和内核功能调用
- 320 KB 的 SRAM, 用于数据和指令存储
- 4096 位 eFuse 存储器, 其中 1792 位用户可用
- 封装内 flash
 - flash 大小详见章节 1 [ESP32-C61 系列型号对比](#)
 - 至少 10 万次编程/擦除周期
 - 至少 20 年数据保留时间

- 最大时钟频率 120 MHz
- 封装内 PSRAM
 - PSRAM 大小详见章节 1 [ESP32-C61 系列型号对比](#)
 - 最大时钟频率 120 MHz

4.1.2.2 外部存储器

ESP32-C61 的某些型号支持以 SPI、Dual SPI、Quad SPI、QPI 等接口形式连接外部 flash 和 PSRAM。详情请参考表 1-1。

CPU 的指令空间、只读数据空间可以映射到外部 flash 和 PSRAM，外部 flash 和 PSRAM 各可以最大支持 32 MB。ESP32-C61 支持基于 XTS-AES 的硬件加解密功能，从而保护开发者 flash 和 PSRAM 中的程序和数据。

通过高速缓存，ESP32-C61 一次最多可以同时有：

- 32 MB 的指令空间以 64/32/16 KB 的块映射到外部 flash 和 PSRAM，支持 32 位取指
- 32 MB 的数据空间以 64/32/16 KB 的块映射到外部 flash 和 PSRAM，外部 flash 支持 8 位、16 位和 32 位读取；PSRAM 支持 8 位、16 位和 32 位读写。

说明：

ESP32-C61 芯片启动完成后，软件可以自定义外部 flash 和 PSRAM 到 CPU 地址空间的映射。

4.1.2.3 eFuse 控制器

eFuse 存储器是只可编程一次的存储器，用于存储参数内容和用户数据。ESP32-C61 芯片的 eFuse 控制器用于烧写和读取 eFuse 存储器。

特性

- 配置部分区域的写保护
- 配置部分区域的读保护
- 防止数据损坏的多种硬件编码方案

4.1.3 系统组件

本章节描述了对系统的整体功能和控制起到重要作用的组件。

4.1.3.1 IO MUX 和 GPIO 交换矩阵

ESP32-C61 芯片中的 IO MUX 和 GPIO 交换矩阵可将外设输入和输出信号灵活连接到 GPIO 管脚。这些外设通过允许 I/O 配置、支持多路复用和外设输入信号的信号同步，增强了芯片的功能和性能。

特性

- 30 个 GPIO 管脚，用于通用 I/O 或连接到内部外设信号
- GPIO 交换矩阵：

- 将 37 个外设输入信号和 57 个输出信号连接到任意 GPIO 管脚
- 基于 IO MUX 操作时钟的外设输入信号同步
- 支持 GPIO 滤波器对输入信号进行滤波
- IO MUX 用于将某些数字信号 (SPI、JTAG、UART、SDIO) 直接连接到管脚
- 支持事件任务矩阵

4.1.3.2 复位

ESP32-C61 芯片提供四种级别的复位方式，分别是 CPU 复位、内核复位、系统复位和芯片复位。除芯片复位外，其他复位方式不影响片上内存存储的数据。

特性

- 四种复位类型：
 - CPU 复位 - 复位 CPU 核心
 - 内核复位 - 复位整个数字系统，但不包括 LP 系统
 - 系统复位 - 复位整个数字系统，包括 LP 系统
 - 芯片复位 - 复位整个芯片
- 复位触发方式：
 - 直接由硬件触发
 - 通过配置 CPU 的相应寄存器进行软件触发
- 支持读取复位源

4.1.3.3 时钟

ESP32-C61 芯片的时钟来自振荡器、RC 电路和 PLL 电路，然后经过分频器或时钟选择器进行处理。时钟根据频率可以分为用于 HP 系统的高速时钟和用于 LP 系统及某些外设的低速时钟。

特性

- 用于 HP 系统的高速时钟
 - 40 MHz 外部晶振时钟

说明：

- * ESP32-C61 无法在没有外部晶振时钟的情况下工作。
- * ESP32-C61 可以自动过滤外部主晶振时钟的高频毛刺。

- 480 MHz 内部 PLL 时钟
- 用于 LP 系统和某些低功耗模式外设的低速时钟
 - 32 kHz 外部晶振时钟（必须是外部差分时钟输入，一般由无源晶振提供）
 - 可调频率的内部快速 RC 振荡器（默认为 20 MHz）

- 可调频率的内部慢速 RC 振荡器（默认为 150 kHz）
- 通过 XTAL_32K_P 输入的外部慢速时钟（默认为 32 kHz，可以由有源晶振提供，或其他方式提供）

说明：

* 32 kHz 外部晶振时钟和通过 XTAL_32K_P 输入的外部慢速时钟无法同时存在，只能二选一。

4.1.3.4 中断矩阵

ESP32-C61 芯片的中断矩阵用于将外设和事件生成的中断请求映射到 CPU 中断。

特性

- 接收 53 个外部中断源作为输入
- 生成 32 个 CPU 的外部中断作为输出
- 支持查询外部中断源当前的中断状态
- 支持将多个中断源映射到单个 CPU 中断（即共享中断）

4.1.3.5 事件任务矩阵

ESP32-C61 带有一个 SOC ETM 外设，该外设包含多个通道 (channel)，每个通道将一个输入的事件 (event) 映射到一个输出的任务 (task)，事件是由外设产生的，任务被外设所接收。

特性

- 最多支持 50 个事件到任务的映射通道，每个通道连接一个事件和一个任务，并且每个通道都有独立的使能控制
- 每个通道的事件输入以及任务输出可以从所有的事件和任务中任意选择，即支持同一个事件通过多个通道映射到不同的任务，或多个不同的事件通过各自的通道映射到同一个任务
- 能够产生事件、接收任务的外设有：GPIO、LED PWM、通用定时器、RTC 定时器、系统定时器、温度传感器、ADC、I2S、GDMA 和 PMU

4.1.3.6 系统定时器

ESP32-C61 芯片中的系统定时器 (SYSTIMER) 是一个 52 位定时器，可用于为操作系统生成滴答中断，或作为通用定时器生成周期性或一次性中断。

特性

- 两个 52 位计数器和三个 52 位比较器
- 52 位报警值和 26 位报警周期
- 两种报警模式：单次报警模式和周期报警模式
- 三个比较器根据配置的报警值或报警周期生成三个独立中断
- 在 Deep-sleep 或 Light-sleep 后，能够通过软件加载 RTC 定时器记录的睡眠时间

- 支持当 CPU 暂停或处于 OCD 模式时，时钟计数器也暂停
- 支持输出实时报警的事件 (event)

4.1.3.7 电源管理单元

ESP32-C61 具有先进的电源管理单元 (PMU)，可以灵活地为芯片的不同电源域供电，实现芯片性能、功耗和唤醒延迟之间的最佳平衡。

配置 PMU 的程序较为复杂。为针对典型场景简化电源管理，ESP32-C61 具有以下**预设功耗模式**，可给不同电源域组合供电：

- **Active 模式** – CPU、RF 电路和所有外设均上电。芯片可以处理数据、接收、发射和侦听信号。
- **Modem-sleep 模式** – CPU 上电，可降低时钟频率。RF 电路在需要时间歇性开启，因此无线可保持连接。
- **Light-sleep 模式** – CPU 停止工作，可选择上电。芯片可由所有唤醒机制唤醒，包括 MAC、主机、RTC 定时器或外部中断。无线可保持连接。部分数字外设可选择关闭。
- **Deep-sleep 模式** – 仅 LP SYSTEM 上电

图 4-2 模块和电源域 和图 4-3 模块和电源域 列举了 电源域 和 电源子域 下属的芯片模块。

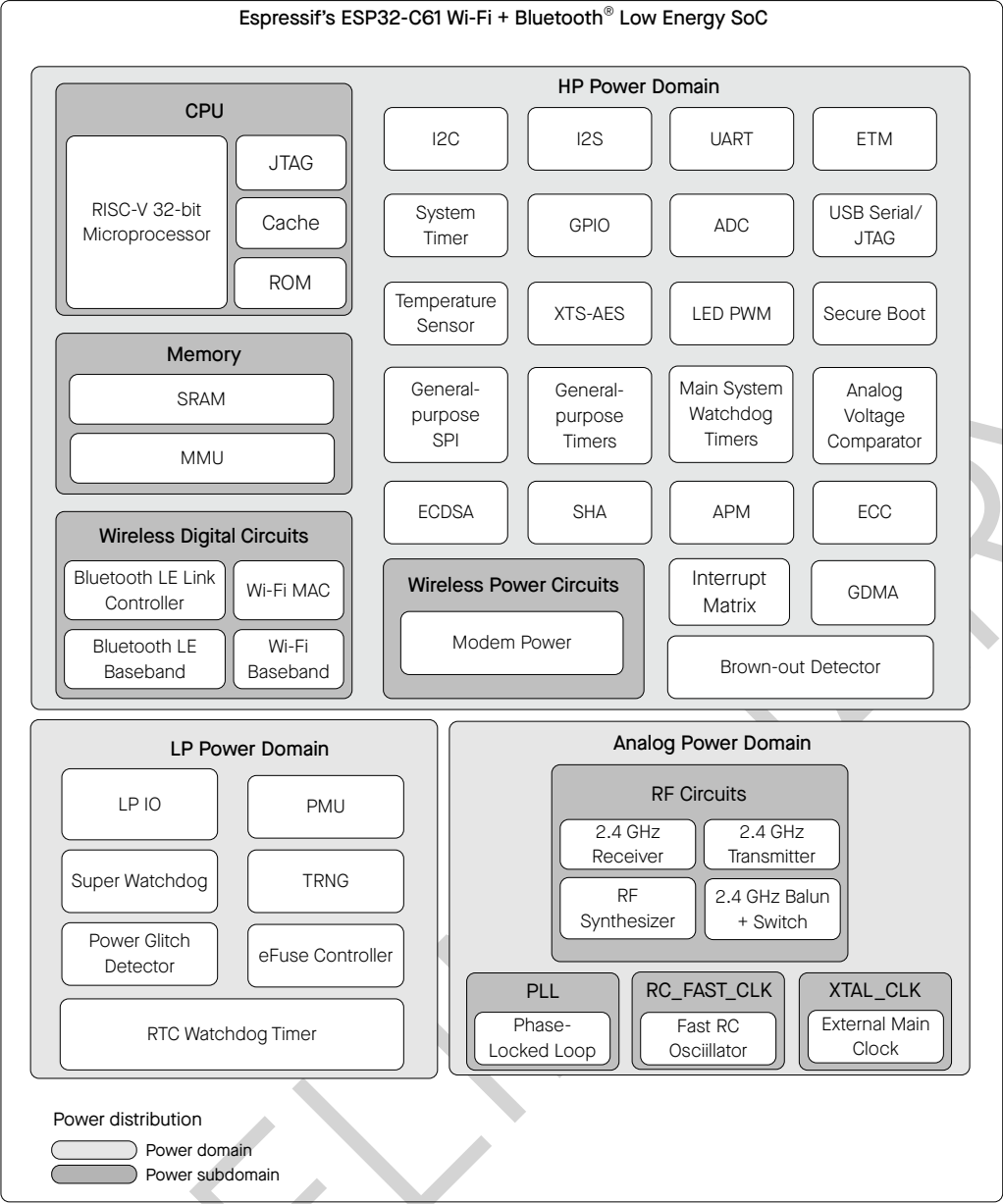


图 4-2. 模块和电源域

电源域	LP Domain		HP Domain					模拟			
	Always-on	低功耗外设	内存	无线功耗控制	CPU	无线数字电路	其它	RC_FAST_CLK	XTAL_CLK	PLL	RF 电路
功耗模式											
Active	开	开	开	开	开	开	开	开	开	开	开
Modem_sleep	开	开	开	开	开	开	开	开	开	关	关
Light-sleep	开	开	开	开	关	关	关	关	关	关	关
Deep-sleep	开	关	关	关	关	关	关	关	关	关	关

图 4-3. 模块和电源域

4.1.3.8 欠压监测器

ESP32-C61 可以周期性监控供电电源的电压，当电压异常时，能发出中断或者复位。

特性

- 检测阈值可配置
- 复位等级可配置
- 支持毛刺过滤

4.1.3.9 低功耗定时器

ESP32-C61 芯片中的 RTC 低功耗定时器一旦芯片上电之后，在任意状态下不间断计时。

特性

- 工作在 RTC 时钟下的 46 位计数器
- 实时读取时基计数器的值
- 设置计数器目标值，超时触发中断

4.1.3.10 定时器组

ESP32-C61 芯片中的定时器组 (TIMG) 可用于准确设定时间间隔、在一定间隔后触发（周期或非周期的）中断或充当硬件时钟。ESP32-C61 有两个定时器组，每个定时器组包含一个通用定时器和一个主系统看门狗定时器。

特性

- 16 位预分频器
- 54 位自动重新加载计数器，可向上、向下计数
- 实时读取时基计数器的值
- 暂停、恢复、禁用时间基准计数器
- 可配置的报警产生机制
- 定时器值重新加载（报警时自动重新加载或软件控制即时重新加载）
- RTC 慢速时钟频率计算
- 电平触发中断
- 支持输出实时报警事件
- 支持多个 ETM 任务和事件

4.1.3.11 看门狗定时器

ESP32-C61 中的看门狗定时器 (WDT) 可用于检测和处理系统故障。ESP32-C61 有三个数字看门狗定时器：两个在定时器组中 (MWDt)，一个在 RTC 模块中 (RWDt)。此外，还有一个称为超级看门狗 (SWD) 的模拟看门狗定时器，有助于防止系统在异常状态下运行。

特性

- 数字看门狗定时器：
 - 四个阶段，每个阶段都可配置超时时间和超时动作
 - 超时动作：中断、CPU 复位、内核复位、系统复位（仅 RWDT）
 - 阶段 0 Flash 启动保护（SPI Boot 模式）
 - 写保护，使能时寄存器仅可读取
 - 32 位超时计数器
- 模拟看门狗定时器：
 - 超时周期略小于 1 秒
 - 超时动作：中断、系统复位

4.1.3.12 权限控制

ESP32-C61 中的权限控制模块负责管理对内存和外设寄存器的访问权限。它由两部分组成：PMP（物理内存保护）和 APM（访问权限管理）。

特性

- 对 ROM、HP 内存、HP 外设和 LP 外设地址空间的访问权限管理
- APM 支持每个主机（如 DMA）在四种安全模式中选择一种
- 支持最多 16 个地址范围的访问权限配置
- 中断功能和异常信息记录

4.1.3.13 系统寄存器

ESP32-C61 芯片中的系统寄存器用于配置多种辅助芯片功能。

特性

- 控制外部内存加密和解密
- 控制 CPU 核心调试
- 控制总线超时保护

4.1.3.14 辅助调试

辅助调试可以帮助在软件调试过程中定位错误和问题，提供各种监视能力和日志记录功能，以帮助高效地识别和解决软件错误。

特性

- 读写监测：监测 CPU 是否在限定的存储器地址范围内进行读写操作
- 栈指针 (SP) 监测：防止栈溢出或错误的推入/弹出操作

- 程序计数器 (PC) 记录：记录 PC，可以获得上一次 CPU 复位时的 PC 值
- 总线写操作记录：当 CPU 或 DMA 写了某个特定值时，会记录总线写操作信息

4.1.4 加密和安全组件

本章节描述了集成在芯片中用于保护数据和操作的安全功能。

4.1.4.1 ECC 加速器

ECC 加速器可以加速基于椭圆曲线密码学 (ECC) 算法和派生算法 (如 ECDSA) 的计算，这两种算法相对于 RSA 算法的优势在于，使用较小长度的公钥就能够提供相当等级的加密安全性。

特性

- 支持两种不同的椭圆曲线 (P-192 和 P-256)
- 11 种工作模式，支持功能包括标准点验证、标准点乘、Jacobian 点验证、Jacobian 点乘
- 支持安全工作模式，进行固定时间的点乘运算

4.1.4.2 椭圆曲线数字签名算法

在密码学中，椭圆曲线数字签名算法 (ECDSA) 是使用椭圆曲线密码对数字签名算法 (DSA) 的模拟。

ESP32-C61 的 ECDSA 加速器可高效安全地计算 ECDSA 签名。ECDSA 加速器可以进行快速计算，同时确保签名过程的保密性，防止信息泄漏。因此，ECDSA 加速器可用于高速加密运算并提供强大的安全保障，它可以保护用户数据的安全，而且不会影响性能。

特性

- 支持签名生成和签名认证
- 支持两种椭圆曲线，即 [FIPS 186-3](#) 中定义的 P-192 和 P-256
- 支持两种哈希算法用于信息的哈希操作，即 [FIPS PUB 180-4 Spec](#) 中定义的 SHA-224 和 SHA-256
- 提供高安全性特性
 - 拥有不同工作状态下的动态访问权限控制，防止一切中间数据泄漏而导致的密钥泄露
 - 签名/验证为固定时长操作，抵抗旁路攻击

4.1.4.3 SHA 加速器

ESP32-C61 SHA (安全哈希算法) 硬件加速器可完成 SHA 运算，具有 Typical SHA 和 DMA-SHA 两种工作模式。整体而言，相比基于纯软件的 SHA 运算，SHA 硬件加速器能够极大地提高运算速度。

特性

- 支持多种 SHA 算法：SHA-1、SHA-224 和 SHA-256
- 两种工作模式：基于 CPU 的 Typical SHA 和基于 DMA 的 DMA-SHA
- 允许插入 (interleaved) 功能 (仅限 Typical SHA 工作模式)

- 允许中断功能（仅限 DMA-SHA 工作模式）

4.1.4.4 片外存储器加密与解密

ESP32-C61 芯片集成了片外存储器加密与解密模块，使用 [IEEE Std 1619-2007](#) 指定的 XTS-AES 标准算法，为用户存放在片外存储器 (flash 和 PSRAM) 的应用代码和数据提供了安全保障。用户可以将专有固件、敏感的用户数据（如用来访问私有网络的证书）存放在封装外 flash 中，也可以安全地在 PSRAM 中运行数据敏感的应用。

特性

- 使用通用 XTS-AES 算法，符合 [IEEE Std 1619-2007](#)
- 支持手动加密，需要软件参与
- 支持高速自动解密，无需软件参与
- 由寄存器配置、eFuse 参数、启动 (boot) 模式共同决定开启/关闭加解密功能
- 支持多种可配置的抗 DPA 攻击功能
- flash 和 PSRAM 使用各自独立的密钥

4.1.4.5 真随机数生成器

ESP32-C61 内置一个真随机数发生器，其生成的 32 位随机数可作为加密等操作的基础。

ESP32-C61 的真随机数生成器可通过物理过程而非算法生成真随机数，所有生成的随机数在特定范围内出现的概率完全一样。

特性

- 随机数发生器的熵源
 - SAR ADC、高速 ADC 两者的热噪声
 - 异步时钟不匹配

4.1.4.6 电源毛刺监测器

ESP32-C61 可以实时监控供电电源的电压，当电压出现毛刺时，将立即复位芯片，防止电源毛刺攻击。

特性

- 毛刺的电平阈值可调节，默认约 2.7 V
- 上电默认开启

4.2 外设

本章节介绍了芯片上的外设接口，包括扩展芯片功能的通信接口和片上传感器。

4.2.1 通讯接口

本章节介绍了芯片与外部设备和网络进行通信和交互的接口。

4.2.1.1 UART 控制器

ESP32-C61 芯片中的 UART 控制器用于芯片与外部 UART 设备之间的异步串行数据传输和接收。ESP32-C61 支持三个 UART 接口。

特性

- 可编程波特率，最高可达 5 MBaud
- RAM 由 TX FIFO 和 RX FIFO 共用
- 支持多种数据位和停止位的长度
- 支持奇偶校验位
- 特殊字符 AT_CMD 检测
- 支持 RS485 协议
- 支持 IrDA 协议
- 使用 GDMA 进行高速数据通信
- 接收超时功能
- UART 作为唤醒源
- 软件和硬件流控

管脚分配

UART0 接口连接发送和接收信号 (UOTXD and UORXD) 的管脚通过 IO MUX 与 GPIO10 ~ GPIO11 复用。其他信号可以通过 GPIO 交换矩阵到任意 GPIO。

4.2.1.2 SPI 控制器

ESP32-C61 具有以下 SPI 接口：

- SPI0，供 ESP32-C61 的 Cache 和 GDMA 访问封装内或封装外 flash/PSRAM
- SPI1，供 CPU 访问封装内或封装外 flash/PSRAM
- SPI2，通用 SPI 控制器，可访问通用 DMA 通道

SPI0 和 SPI1 预留給系统使用，只有 SPI2 可供用户使用。

SPIO 和 SPI1 特性

- 支持 Single SPI、Dual SPI、Quad SPI、QPI 模式
- 数据传输以字节为单位

SPI2 的特性

- 支持主机或从机模式
- 支持 DMA
- 支持 Single SPI、Dual SPI、Quad SPI、QPI 模式
- 可配置时钟极性 (CPOL) 和相位 (CPHA)
- 可配置时钟频率
- 数据传输以字节为单位
- 可配置读写数据位顺序：最高有效位 (MSB) 优先或最低有效位 (LSB) 优先
- 主机模式
 - 支持时钟频率高达 80 MHz 的 2 线全双工通信
 - 支持时钟频率高达 80 MHz 的 1 线、2 线、4 线半双工通信
 - 具有六个 FSPICS... 管脚，可与六个独立的 SPI 从机连接
 - 可配置的 CS 设置时间和保持时间
- 从机模式
 - 支持时钟频率高达 60 MHz 的 2 线全双工通信
 - 支持时钟频率高达 60 MHz 的 1 线、2 线、4 线半双工通信

管脚分配

SPIO/1 接口的管脚通过 IO MUX 与 GPIO14 ~ GPIO17 和 GPIO19 ~ GPIO20 复用。

SPI2 接口连接数据和时钟信号的管脚通过 IO MUX 与 GPIO2、GPIO7 和 JTAG 接口管脚复用。连接片选信号的管脚通过 IO MUX 与 GPIO8 管脚复用。

更多关于管脚分配的信息，请参考章节 [2.3 IO 管脚](#)。

4.2.1.3 I2C 控制器

I2C 控制器支持主机和从机之间使用 I2C 总线进行通信。

特性

- 与多个外部设备通信
- I2C 可以运行在主机和从机模式
- 标准模式 (100 Kbit/s) 和快速模式 (400 Kbit/s)
- 从机模式下的 SCL 时钟拉伸

- 可编程数字噪声滤波
- 支持 7 位和 10 位寻址以及双地址寻址模式

管脚分配

I2C 的管脚可以为任意 GPIO，通过 GPIO 交换矩阵配置。

更多关于管脚分配的信息，请参考 章节 2.3 IO 管脚。

4.2.1.4 I2S 控制器

ESP32-C61 芯片中的 I2S 控制器为多媒体应用程序提供了一种灵活的通信接口，特别适用于数字音频应用。

特性

- 支持主机模式和从机模式
- 支持全双工和半双工通信
- 支持 TX 模块和 RX 模块独立工作或同时工作
- 支持多种音频标准：
 - TDM Philips 标准
 - TDM MSB 对齐标准
 - TDM PCM 标准
 - PDM 标准
- 支持 PCM 转 PDM TX 接口
- 可配置高精度 BCK 时钟，最高频率可达 40 MHz
 - 采样频率支持 8 kHz、16 kHz、32 kHz、44.1 kHz、48 kHz、88.2 kHz、96 kHz、128 kHz、192 kHz 等
- 支持 8/16/24/32 位数据通信
- 支持 DMA
- A-law 和 μ -law 压缩/解压缩算法，提高信号的量化信噪比
- 支持灵活的数据格式控制

管脚分配

I2S 的管脚可以为任意 GPIO，通过 GPIO 交换矩阵配置。

更多关于管脚分配的信息，请参考 章节 2.3 IO 管脚。

4.2.1.5 USB 串口/JTAG 控制器

ESP32-C61 芯片中的 USB 串口/JTAG 控制器 (USB_SERIAL_JTAG) 集成了与芯片通讯的标准 USB CDC-ACM 串口，同时提供了一种 JTAG 调试的便捷方案，无需外部芯片或 JTAG 适配器，节省空间并降低成本。

特性

- 兼容 USB 2.0 全速标准，传输速度最高可达 12 Mbit/s（注意，该控制器不支持 480 Mbit/s 的高速传输模式）
- 包含 CDC-ACM 虚拟串口及 JTAG 适配器功能
- CDC-ACM：
 - 配置虚拟串行功能，在大多数现代操作系统上可实现即插即用
 - 支持主机控制芯片复位和进入下载模式
- JTAG 适配器：
 - 支持使用紧凑的 JTAG 指令实现与 CPU 调试内核的快速通信
- 支持通过 ROM 启动代码重新编程 flash
- 集成内部 PHY

管脚分配

USB 串口/JTAG 控制器的管脚通过 IO MUX 与 GPIO12 ~ GPIO13 复用。

更多关于管脚分配的信息，请参考章节 [2.3 IO 管脚](#)。

4.2.1.6 LED PWM 控制器

LED PWM 控制器可以用于生成六路独立的数字波形。

特性

- 波形的周期和占空比可配置，占空比精确度可达 20 位
- 多种时钟源选择，包括 80 MHz PLL 时钟、外置主晶振时钟、内部快速 RC 振荡器时钟
- 可在低功耗模式 (Light-sleep mode) 模式下工作
- 支持硬件自动步进式地增加或减少占空比，可用于 LED RGB 彩色梯度发生器
- 每个 PWM 生成器包含 16 个占空比渐变区间，用于生成占空比伽玛曲线渐变的信号。每个区间都可以独立配置占空比变化方向（增加或减少）、变化步长、变化次数以及变化频率

管脚分配

LED PWM 管脚可以为任意 GPIO，通过 GPIO 交换矩阵配置。

更多关于管脚分配的信息，请参考章节 [2.3 IO 管脚](#)。

4.2.1.7 SDIO 从机控制器

ESP32-C61 芯片中的 SDIO 从机控制器提供了对安全数字输入/输出 (SDIO) 设备接口的硬件支持，允许 SDIO 主机通过 SDIO 总线协议访问 ESP32-C61。

特性

- 符合 SDIO 物理层规范 V2.00 和 SDIO 规范 V2.00
- 支持 SPI、1-bit SDIO 和 4-bit SDIO 传输模式
- 0 ~ 50 MHz 时钟范围
- 采样时钟沿或驱动时钟沿可配置
- 为信息交互设定的特定寄存器
- 支持 SDIO 中断机制
- 支持自动填充 SDIO 总线上的发送数据，同样支持自动丢弃 SDIO 总线上的填充数据
- 高达 512 字节的块大小
- 主机与从机 (slave) 间有中断向量可以相互中断对方
- 带有数据传输的 DMA
- 支持在保持连接的状态下进行休眠唤醒

管脚分配

SDIO 从机控制器管脚通过 IO MUX 与 GPIO22 ~ GPIO23 和 GPIO25 ~ GPIO28 复用。

更多关于管脚分配的信息，请参考 [章节 2.3 IO 管脚](#)。

4.2.2 模拟信号处理

本小节描述芯片上感知和处理现实世界数据的组件。

4.2.2.1 SAR ADC

ESP32-C61 有一个逐次逼近型模拟数字转换器 (SAR ADC)，将模拟信号转换为数字表示。

特性

- 支持 12 位采样分辨率
- 支持采集最多四个管脚上的模拟电压
- 电压转换时配置输入信号的衰减
- 软件触发的单次采样
- 专用定时器触发的多通道扫描
- 连续 DMA 转换，实现无缝数据传输
- 两个滤波系数可配置的滤波器
- 可以触发中断的阈值监控
- 支持事件任务矩阵

管脚分配

SAR ADC 管脚与 GPIO1、GPIO3 ~ GPIO5 复用。这些管脚同时也复用为 LP_GPIO1、LP_GPIO3 ~ LP_GPIO5、JTAG 接口管脚。

更多关于管脚分配的信息，请参考章节 [2.3 IO 管脚](#)。

4.2.2.2 温度传感器

ESP32-C61 芯片中的温度传感器可以实时监测芯片内部的温度变化。

特性

- 测量范围：-40°C ~ 125°C
- 支持软件触发，且一旦触发后，可持续读取数据
- 支持硬件自动触发和温度监测
- 支持根据使用环境配置温度偏移，提高测试精度
- 支持测量范围可调节
- 两种自动监测唤醒模式：绝对值模式和变化量模式
- 支持事件任务矩阵

4.2.2.3 模拟电压比较器

ESP32-C61 提供了一组模拟电压比较器，包含两个特殊的芯片焊盘 (PAD)，可用于比较两个 PAD 的电压大小关系，也可以使用其中一个 PAD 与内部可调节的稳定电压进行比较。

特性

- 参考电压可选择内部参考电压或者外部参考电压
- 内部参考电压支持 $0 \sim 0.7 \times VDD_PST$
- 支持 ETM
- 待测电压经过参考电压时，输出中断

管脚分配

模拟电压比较器是专用的 PAD，仅 GPIO8 和 GPIO9 支持，其中 GPIO9 为待测管脚，GPIO8 在使用外部参考电压时为参考管脚。

更多关于管脚分配的信息，请参考章节 [2.3 IO 管脚](#)。

4.3 无线通信

本节描述了芯片的无线通信能力，涵盖无线电模块、Wi-Fi 和蓝牙。

4.3.1 无线电

本小节描述了嵌入在芯片中的基本无线电模块，用于实现无线通信和数据交换。

4.3.1.1 2.4 GHz 接收器

2.4 GHz 接收器将 2.4 GHz 射频信号解调为正交基带信号，并用两个高精度、高速的 ADC 将后者转为数字信号。为了适应不同的信道情况，ESP32-C61 集成了 RF 滤波器、自动增益控制 (AGC)、DC 偏移补偿电路和基带滤波器。

4.3.1.2 2.4 GHz 发射器

2.4 GHz 发射器将正交基带信号调制为 2.4 GHz 射频信号，使用大功率互补金属氧化物半导体 (CMOS) 功率放大器驱动天线。数字校准进一步改善了功率放大器的线性。

为了抵消射频接收器的瑕疵，ESP32-C61 还另增了校准措施，例如：

- 载波泄露消除
- I/Q 相位匹配
- 基带非线性抑制
- 射频非线性抑制
- 天线匹配

这些内置校准措施缩短了产品的测试时间，并且不再需要测试设备。

4.3.1.3 时钟生成器

时钟生成器为接收器和发射器生成 2.4 GHz 正交时钟信号，所有部件均集成于芯片上，包括电感、变容二极管、环路滤波器、线性稳压器和分频器。

时钟生成器带有内置校准电路和自测电路。运用自主知识产权的优化算法，对正交时钟的相位和相位噪声进行优化处理，使接收器和发射器都有最好的性能表现。

4.3.2 Wi-Fi

本小节描述了芯片的 Wi-Fi 能力，用于实现高速无线通信。

4.3.2.1 Wi-Fi 无线电和基带

ESP32-C61 Wi-Fi 无线电和基带支持以下特性：

- 2.4 GHz 频段，支持 1T1R
- 802.11ax
 - 支持仅 20 MHz 非接入点工作模式 (20MHz-only non-AP mode)
 - MCS0 ~ MCS9

- 上行、下行正交频分多址 (OFDMA) 接入
- 下行全带宽、部分带宽多用户多输入多输出接入 (MU-MIMO)
- 更长的 OFDM 符号 (OFDM symbol), 0.8、1.6、3.2 μ s 保护间隔
- 双载波调制 (Dual carrier modulation, DCM), 最高支持 16-QAM 正交幅度调制
- 单用户/多用户波束成形接收端 (SU/MU Beamformee)
- 信道质量指示 (Channel quality indication, CQI)
- RX 空时分组编码 (STBC) (单空间流)
- 802.11b/g/n:
 - MCS0 ~ MCS7, 支持 20 MHz 和 40 MHz 带宽
 - MCS32
 - 数据速率高达 150 Mbps
 - 支持 0.4 μ s 保护间隔
- 可调节的发射功率
- 天线分集

ESP32-C61 支持基于外部射频开关的天线分集与选择。外部射频开关由一个或多个 GPIO 管脚控制, 用来选择最合适的天线以减少信道衰落的影响。

4.3.2.2 Wi-Fi MAC

ESP32-C61 完全遵循 IEEE 802.11 b/g/n/ax Wi-Fi MAC 协议栈, 支持增强型分布式信道接入 (EDCA) 下的基本服务集 (BSS) STA 和 SoftAP 操作。支持通过最小化主机交互来优化有效工作时长, 以实现功耗管理。

ESP32-C61 Wi-Fi MAC 自行支持的底层协议功能如下:

- 4 × 虚拟 Wi-Fi 接口
- 同时支持基础结构型网络 (Infrastructure BSS) Station 模式、SoftAP 模式、Station + SoftAP 模式和混杂模式
- RTS 保护, CTS-to-Self 保护, 立即块确认 (Immediate Block ACK)
- 分片和重组 (Fragmentation and defragmentation)
- TX/RX A-MPDU, TX/RX A-MSDU
- 传输机会 (TXOP)
- 无线多媒体 (WMM)
- GCMP、CCMP、TKIP、WAPI、WEP、BIP、WPA2 个人模式 (WPA2-PSK) 及 WPA3 个人模式 (WPA3-PSK)
- 自动 Beacon 监测 (硬件 TSF)
- 802.11mc FTM
- 802.11ax 支持以下特性:
 - 请求端目标唤醒时间机制 (Target wake time, TWT)
 - 多个基本服务集标识符 (Multiple BSSIDs)

- 触发响应调度 (Triggered response scheduling)
- 多用户传送请求 (MU-RTS)、多用户块确认请求 (MU-BAR)、多站点用户块确认 (M-BA)
- 协议数据单元内的省电模式 (Intra-PPDU power saving)
- 两个网络分配向量 (NAV)
- BSS 着色机制 (BSS coloring)
- 空间复用 (Spatial reuse)
- 上行功率余量 (Uplink power headroom)
- 运行模式控制 (Operating mode control)
- 缓存状态报告 (Buffer status report)
- 基于 TXOP 持续时间的 RTS 发送阈值 (TXOP duration RTS threshold)
- 上行随机接入机制 (UL-OFDMA random access, UORA)

4.3.2.3 网络特性

乐鑫提供的固件支持 TCP/IP 联网、ESP-WIFI-MESH 联网或其他 Wi-Fi 联网协议,同时也支持 TLS 1.0、1.1、1.2。

4.3.3 低功耗蓝牙

本小节描述了芯片的蓝牙能力,用于实现低功耗、短距离应用的无线通信。

4.3.3.1 低功耗蓝牙物理层

ESP32-C61 系列芯片低功耗蓝牙物理层支持以下特性:

- 1 Mbps PHY
- 2 Mbps PHY, 用于提升传输速率
- coded PHY (125 Kbps and 500 Kbps), 用于提升传输距离
- 硬件实现 Listen Before Talk (LBT)

4.3.3.2 低功耗蓝牙链路控制器

ESP32-C61 系列芯片低功耗蓝牙链路控制器和主机支持以下特性:

- 基于到达角和出发角的蓝牙方向查找功能 (direction finding, AoA/AoD)
- 带回复的周期性广播 (PAWR)
- 亚速率连接模式 (LE connection subrating)
- 扩展广播以及多广播支持 (LE advertising extensions)
- 广播者/观察者/中央设备/外围设备多角色并发运行
- 自适应跳频及信道评估 (AFH)
- 信道选择算法 #2 (channel selection algorithm #2)
- 功率控制 (LE power control)

- 广播编码选择 (advertising coding selection)
- 加密广播数据 (encrypted advertising data)
- LE GATT 安全等级特性 (LE GATT security levels characteristic)
- 周期性广播中的广播数据信息 (AdvDataInfo)
- LE 信道分类 (LE channel classification)
- 增强型属性协议 (enhanced attribute protocol)
- 广播信道索引 (advertising channel index)
- GATT 缓存 (GATT caching)
- 周期性广播同步传输 (periodic advertising sync transfer)
- 高占空比非可连接广播 (high duty cycle non-connectable advertising)
- LE 数据包长度扩展 (LE data packet length extension)
- LE 安全连接 (LE secure connections)
- LE 隐私 1.2 版本 (LE privacy 1.2)
- 链路层扩展扫描器过滤策略 (link layer extended scanner filter policies)
- 低占空比定向广播 (low duty cycle directed advertising)
- 链路层加密 (link layer encryption)
- LE ping

5 电气特性

说明:

本章节提供的电气特性数据**暂供参考**，在规格书终版发布时可能会更新。

5.1 绝对最大额定值

超出表 5-1 绝对最大额定值的绝对最大额定值可能导致器件永久性损坏。这只是强调的额定值，不涉及器件在这些或其它条件下超出章节 5.2 建议工作条件 技术规格指标的功能性操作。长时间暴露在绝对最大额定条件下可能会影响设备的可靠性。

表 5-1. 绝对最大额定值

参数	说明	最小值	最大值	单位
输入电源管脚 ¹	允许输入电压	-0.3	3.6	V
I_{output} ²	IO 输出总电流	—	1500	mA
T_{STORE}	存储温度	-40	150	°C

¹ 更多关于输入电源管脚的信息，见章节 2.5.1 电源管脚。

² 在 25 °C 的环境温度下连续 24 小时保持所有 IO 管脚拉高并接地，设备工作完全正常。

5.2 建议工作条件

推荐环境温度，请参考章节 1 ESP32-C61 系列型号对比。

表 5-2. 建议工作条件

参数 ¹	说明	最小值	典型值	最大值	单位
VDDA1、VDDA2、VDDA3P3	建议输入电压	3.0	3.3	3.6	V
VDDPST1	建议输入电压	3.0	3.3	3.6	V
VDD_SPI (输入)	—	1.8	3.3	3.6	V
VDDPST2 ^{2,3}	建议输入电压	3.0	3.3	3.6	V
I_{VDD}	输入总电流	0.5	—	—	A

¹ 请结合章节 2.5 电源 阅读。

² 使用 VDDPST2 给 VDD_SPI 供电时（见章节 2.5.2 电源管理），应考虑 R_{SPI} 的电压降。

³ 写 eFuse 时，由于烧录 eFuse 的电路较敏感，VDDPST2 的电压应不超过 3.3 V。

5.3 VDD_SPI 输出特性

表 5-3. VDD_SPI 内部和输出特性

参数	说明 ¹	典型值	单位
R_{SPI}	VDD_SPI 连接 3.3 V flash/ PSRAM 时, 由 VDD3P3_RTC 经 R_{SPI} 供电 ²	3	Ω

¹ 请结合章节 2.5.2 电源管理 阅读。

² VDDPST2 需高于 $VDD_flash_min + I_flash_max \times R_{SPI}$, 其中

- VDD_flash_min – flash/PSRAM 的最小工作电压
- I_flash_max – flash/PSRAM 的最大工作电流

5.4 直流电气特性 (3.3 V, 25 °C)

表 5-4. 直流电气特性 (3.3 V, 25 °C)

参数	说明	最小值	典型值	最大值	单位
C_{IN}	管脚电容	—	2	—	pF
V_{IH}	高电平输入电压	$0.75 \times VDD^1$	—	$VDD^1 + 0.3$	V
V_{IL}	低电平输入电压	-0.3	—	$0.25 \times VDD^1$	V
I_{IH}	高电平输入电流	—	—	50	nA
I_{IL}	低电平输入电流	—	—	50	nA
V_{OH}^2	高电平输出电压	$0.8 \times VDD^1$	—	—	V
V_{OL}^2	低电平输出电压	—	—	$0.1 \times VDD^1$	V
I_{OH}	高电平拉电流 ($VDD^1 = 3.3\text{ V}$, $V_{OH} \geq 2.64\text{ V}$, PAD_DRIVER = 3)	—	40	—	mA
I_{OL}	低电平灌电流 ($VDD^1 = 3.3\text{ V}$, $V_{OL} = 0.495\text{ V}$, PAD_DRIVER = 3)	—	28	—	mA
R_{PU}	内部弱上拉电阻	—	45	—	k Ω
R_{PD}	内部弱下拉电阻	—	45	—	k Ω
V_{IH_nRST}	芯片复位释放电压 (CHIP_PU 应满足电压范围)	$0.75 \times VDD^1$	—	$VDD^1 + 0.3$	V
V_{IL_nRST}	芯片复位电压 (CHIP_PU 应满足电压范围)	-0.3	—	$0.25 \times VDD^1$	V

¹ VDD – 各个电源域电源管脚的电压。

² V_{OH} 和 V_{OL} 为负载是高阻条件下的测试值。

5.5 ADC 特性

本章节数据是在 ADC 外接 100 nF 电容、输入为 DC 信号、25 °C 环境温度、Wi-Fi 关闭条件下的测量结果。

表 5-5. ADC 特性

符号	最小值	最大值	单位
DNL (差分非线性) ¹	-5	5	LSB
INL (积分非线性)	-5	5	LSB
采样速度	—	2000	kSPS ²

¹ 使用滤波器多次采样或计算平均值可以获得更好的 DNL 结果。

² kSPS (kilo samples-per-second) 表示每秒采样千次。

ADC 经硬件校准和 [软件校准](#)后的结果如表 5-6 所示。如需更高的精度，可选用其他方法自行校准。

表 5-6. ADC 校准结果

参数	说明	最小值	最大值	单位
总误差	ATTEN0, 有效测量范围 0 ~ 1000	-10	10	mV
	ATTEN1, 有效测量范围 0 ~ 1300	-10	10	mV
	ATTEN2, 有效测量范围 0 ~ 1900	-12	12	mV
	ATTEN3, 有效测量范围 0 ~ 3300	-15	15	mV

5.6 功耗特性

5.6.1 Active 模式下的功耗

下列功耗数据是基于 3.3 V 供电电源、25 °C 环境温度的条件下测得。

所有发射功耗数据均基于 100% 占空比测得。

所有接收功耗数据均是在外设关闭、CPU 空闲的条件下测得。

表 5-7. Active 模式下 Wi-Fi (2.4 GHz) 功耗特性

工作模式	射频模式	描述	峰值 (mA)
Active (射频工作)	发射 (TX)	802.11b, 1 Mbps, DSSS @21 dBm	360
		802.11g, 54 Mbps, OFDM @19 dBm	310
		802.11n, HT20, MCS7 @18 dBm	285
		802.11n, HT40, MCS7 @17.5 dBm	267
		802.11ax, MCS9 @15 dBm	240
	接收 (RX)	802.11b/g/n, HT20	88
		802.11n, HT40	90
		802.11ax, HE20	88

表 5-8. Active 模式下低功耗蓝牙功耗特性

工作模式	射频模式	描述	峰值 (mA)
Active (射频工作)	发射 (TX)	低功耗蓝牙 @ 18 dBm	283
		低功耗蓝牙 @ 9 dBm	160

见下页

表 5-8 – 接上页

工作模式	射频模式	描述	峰值 (mA)
		低功耗蓝牙 @ 0 dBm	128
		低功耗蓝牙 @ -15 dBm	96
	接收 (RX)	低功耗蓝牙	81

5.6.2 其他功耗模式下的功耗

表 5-9. Modem-sleep 模式下的功耗

模式	CPU 频率 (MHz)	描述	典型值 (mA)	
			外设时钟全关	外设时钟全开 ¹
Modem-sleep ^{2,3}	160	WAITI	11	18
		CPU 循环计算	16	23
		Run CoreMark	21	28
	80	WAITI	10	16
		CPU 循环计算	12	19
		Run CoreMark	15	21
	40	WAITI	6	11
		CPU 循环计算	7	12
		Run CoreMark	9	13

¹ 实际上，外设在不同工作状态下电流会有所差异。
² Modem sleep 模式下，Wi-Fi 设有时钟门控。
³ Modem-sleep 模式下，访问 flash 时功耗会增加。

表 5-10. 低功耗模式下的功耗

工作模式	说明	典型值 (mA)
Light-sleep	CPU、无线通讯模块电源关闭，外设时钟关闭，所有 GPIO 设置为高阻抗状态	0.2
	CPU、无线通讯模块、外设电源关闭，所有 GPIO 设置为高阻抗状态	0.05
Deep-sleep	LP 定时器和 LP 存储器上电	0.01
关闭	CHIP_PU 管脚拉低，芯片关闭	0.001

6 射频特性

本章提供产品的射频特性表。

射频数据是在天线端口处连接射频线后测试所得，包含了射频前端电路带来的损耗。射频前端电路为 $0\ \Omega$ 电阻。

工作信道中心频率范围应符合国家或地区的规范标准。软件可以配置工作信道中心频率范围，具体请参考[《ESP 射频测试指南》](#)。

除非特别说明，射频测试均是在 3.3 V ($\pm 5\%$) 供电电源、 $25\text{ }^{\circ}\text{C}$ 环境温度的条件下完成。

6.1 Wi-Fi 射频 (2.4 GHz)

表 6-1. Wi-Fi 射频规格

名称	描述
工作信道中心频率范围	2412 ~ 2484 MHz
无线标准	IEEE 802.11b/g/n/ax

6.1.1 Wi-Fi 射频发射器 (TX) 特性

表 6-2. 频谱模板和 EVM 符合 802.11 标准时的发射功率

速率	最小值 (dBm)	典型值 (dBm)	最大值 (dBm)
802.11b, 1 Mbps, DSSS	—	21.0	—
802.11b, 11 Mbps, CCK	—	21.0	—
802.11g, 6 Mbps, OFDM	—	20.0	—
802.11g, 54 Mbps, OFDM	—	19.0	—
802.11n, HT20, MCS0	—	19.0	—
802.11n, HT20, MCS7	—	18.0	—
802.11n, HT40, MCS0	—	18.5	—
802.11n, HT40, MCS7	—	17.5	—
802.11ax, HE20, MCS0	—	19.0	—
802.11ax, HE20, MCS9	—	15.0	—

表 6-3. 发射 EVM 测试¹

速率	最小值 (dB)	典型值 (dB)	标准限值 (dB)
802.11b, 1 Mbps, DSSS	—	-24.8	-10.0
802.11b, 11 Mbps, CCK	—	-24.8	-10.0
802.11g, 6 Mbps, OFDM	—	-26.0	-5.0
802.11g, 54 Mbps, OFDM	—	-29.0	-25.0

见下页

表 6-3 – 接上页

速率	最小值 (dB)	典型值 (dB)	标准限值 (dB)
802.11n, HT20, MCS0	—	-24.5	-5.0
802.11n, HT20, MCS7	—	-31.5	-27.0
802.11n, HT40, MCS0	—	-26.8	-5.0
802.11n, HT40, MCS7	—	-30.5	-27.0
802.11ax, HE20, MCS0	—	-26.0	-5.0
802.11ax, HE20, MCS9	—	-34.0	-32.0

¹ 发射 EVM 的每个测试项对应的发射功率为表 6-2 Wi-Fi 射频发射器 (TX) 特性 中提供的典型值。

6.1.2 Wi-Fi 射频接收器 (RX) 特性

802.11b 标准下的误包率 (PER) 不超过 8%，802.11g/n/ax 标准下不超过 10%。

表 6-4. 接收灵敏度

速率	最小值 (dBm)	典型值 (dBm)	最大值 (dBm)
802.11b, 1 Mbps, DSSS	—	-99.5	—
802.11b, 2 Mbps, DSSS	—	-96.5	—
802.11b, 5.5 Mbps, CCK	—	-94.0	—
802.11b, 11 Mbps, CCK	—	-90.0	—
802.11g, 6 Mbps, OFDM	—	-94.0	—
802.11g, 9 Mbps, OFDM	—	-93.0	—
802.11g, 12 Mbps, OFDM	—	-92.0	—
802.11g, 18 Mbps, OFDM	—	-90.0	—
802.11g, 24 Mbps, OFDM	—	-87.0	—
802.11g, 36 Mbps, OFDM	—	-83.5	—
802.11g, 48 Mbps, OFDM	—	-79.0	—
802.11g, 54 Mbps, OFDM	—	-77.5	—
802.11n, HT20, MCS0	—	-94.0	—
802.11n, HT20, MCS1	—	-92.5	—
802.11n, HT20, MCS2	—	-89.5	—
802.11n, HT20, MCS3	—	-86.5	—
802.11n, HT20, MCS4	—	-83.0	—
802.11n, HT20, MCS5	—	-79.0	—
802.11n, HT20, MCS6	—	-77.0	—
802.11n, HT20, MCS7	—	-75.5	—
802.11n, HT40, MCS0	—	-91.0	—
802.11n, HT40, MCS1	—	-90.0	—
802.11n, HT40, MCS2	—	-87.0	—
802.11n, HT40, MCS3	—	-83.5	—

见下页

表 6-4 – 接上页

速率	最小值 (dBm)	典型值 (dBm)	最大值 (dBm)
802.11n, HT40, MCS4	—	-80.5	—
802.11n, HT40, MCS5	—	-76.0	—
802.11n, HT40, MCS6	—	-74.5	—
802.11n, HT40, MCS7	—	-73.5	—
802.11ax, HE20, MCS0	—	-94.0	—
802.11ax, HE20, MCS1	—	-91.0	—
802.11ax, HE20, MCS2	—	-88.0	—
802.11ax, HE20, MCS3	—	-85.5	—
802.11ax, HE20, MCS4	—	-82.0	—
802.11ax, HE20, MCS5	—	-78.0	—
802.11ax, HE20, MCS6	—	-76.5	—
802.11ax, HE20, MCS7	—	-74.5	—
802.11ax, HE20, MCS8	—	-71.0	—
802.11ax, HE20, MCS9	—	-68.0	—

表 6-5. 最大接收电平

速率	最小值 (dBm)	典型值 (dBm)	最大值 (dBm)
802.11b, 1 Mbps, DSSS	—	5	—
802.11b, 11 Mbps, CCK	—	5	—
802.11g, 6 Mbps, OFDM	—	5	—
802.11g, 54 Mbps, OFDM	—	0	—
802.11n, HT20, MCS0	—	5	—
802.11n, HT20, MCS7	—	0	—
802.11n, HT40, MCS0	—	5	—
802.11n, HT40, MCS7	—	0	—
802.11ax, HE20, MCS0	—	5	—
802.11ax, HE20, MCS9	—	0	—

表 6-6. 接收邻道抑制

速率	最小值 (dB)	典型值 (dB)	最大值 (dB)
802.11b, 1 Mbps, DSSS	—	38	—
802.11b, 11 Mbps, CCK	—	38	—
802.11g, 6 Mbps, OFDM	—	33	—
802.11g, 54 Mbps, OFDM	—	16	—
802.11n, HT20, MCS0	—	32	—
802.11n, HT20, MCS7	—	17	—

见下页

表 6-6 – 接上页

速率	最小值 (dB)	典型值 (dB)	最大值 (dB)
802.11n, HT40, MCS0	—	24	—
802.11n, HT40, MCS7	—	13	—
802.11ax, HE20, MCS0	—	37	—
802.11ax, HE20, MCS9	—	13	—

6.2 低功耗蓝牙射频

表 6-7. 低功耗蓝牙射频规格

名称	描述
工作信道中心频率范围	2402 ~ 2480 MHz
射频发射功率范围	-15 ~ 20 dBm

6.2.1 低功耗蓝牙射频发射器 (TX) 特性

表 6-8. 低功耗蓝牙 - 发射器特性 - 1 Mbps

参数	描述	最小值	典型值	最大值	单位
载波频率偏移和漂移	Max. $ f_n _{n=0, 1, 2, 3, \dots, k}$	—	10.85	—	kHz
	Max. $ f_0 - f_n _{n=2, 3, 4, \dots, k}$	—	3.5	—	kHz
	Max. $ f_n - f_{n-5} _{n=6, 7, 8, \dots, k}$	—	2.4	—	kHz
	$ f_1 - f_0 $	—	2.7	—	kHz
调制特性	$\Delta F1_{avg}$	—	250.0	—	kHz
	Min. $\Delta F2_{max}$ (至少 99.9% 的 $\Delta F2_{max}$)	—	243.0	—	kHz
	$\Delta F2_{avg}/\Delta F1_{avg}$	—	0.88	—	—
带内发射	± 2 MHz 偏移	—	-27	—	dBm
	± 3 MHz 偏移	—	-36	—	dBm
	$> \pm 3$ MHz 偏移	—	-42	—	dBm

表 6-9. 低功耗蓝牙 - 发射器特性 - 2 Mbps

参数	描述	最小值	典型值	最大值	单位
载波频率偏移和漂移	Max. $ f_n _{n=0, 1, 2, 3, \dots, k}$	—	9.4	—	kHz
	Max. $ f_0 - f_n _{n=2, 3, 4, \dots, k}$	—	3.7	—	kHz
	Max. $ f_n - f_{n-5} _{n=6, 7, 8, \dots, k}$	—	1.1	—	kHz
	$ f_1 - f_0 $	—	3.3	—	kHz
调制特性	$\Delta F1_{avg}$	—	499.4	—	kHz
	Min. $\Delta F2_{max}$ (至少 99.9% 的 $\Delta F2_{max}$)	—	532.0	—	kHz

见下页

表 6-9 – 接上页

参数	描述	最小值	典型值	最大值	单位
	$\Delta F_{2\text{avg}}/\Delta F_{1\text{avg}}$	—	0.95	—	—
带内发射	± 4 MHz 偏移	—	-41	—	dBm
	± 5 MHz 偏移	—	-44	—	dBm
	$> \pm 5$ MHz 偏移	—	-45	—	dBm

表 6-10. 低功耗蓝牙 - 发射器特性 - 125 Kbps

参数	描述	最小值	典型值	最大值	单位
载波频率偏移和漂移	Max. $ f_n _{n=0, 1, 2, 3, \dots k}$	—	10.1	—	kHz
	Max. $ f_0 - f_n _{n=1, 2, 3, \dots k}$	—	2.1	—	kHz
	$ f_0 - f_3 $	—	1.2	—	kHz
	Max. $ f_n - f_{n-3} _{n=7, 8, 9, \dots k}$	—	0.7	—	kHz
调制特性	$\Delta F_{1\text{avg}}$	—	253.1	—	kHz
	Min. $\Delta F_{1\text{max}}$ (至少 99.9% 的 $\Delta F_{1\text{max}}$)	—	270.5	—	kHz
带内发射	± 2 MHz 偏移	—	-27	—	dBm
	± 3 MHz 偏移	—	-38	—	dBm
	$> \pm 3$ MHz 偏移	—	-43	—	dBm

表 6-11. 低功耗蓝牙 - 发射器特性 - 500 Kbps

参数	描述	最小值	典型值	最大值	单位
载波频率偏移和漂移	Max. $ f_n _{n=0, 1, 2, 3, \dots k}$	—	10.2	—	kHz
	Max. $ f_0 - f_n _{n=1, 2, 3, \dots k}$	—	1.2	—	kHz
	$ f_0 - f_3 $	—	0.6	—	kHz
	Max. $ f_n - f_{n-3} _{n=7, 8, 9, \dots k}$	—	1.8	—	kHz
调制特性	$\Delta F_{2\text{avg}}$	—	223.4	—	kHz
	Min. $\Delta F_{2\text{max}}$ (至少 99.9% 的 $\Delta F_{2\text{max}}$)	—	243.5	—	kHz
带内发射	± 2 MHz 偏移	—	-27	—	dBm
	± 3 MHz 偏移	—	-37	—	dBm
	$> \pm 3$ MHz 偏移	—	43	—	dBm

6.2.2 低功耗蓝牙射频接收器 (RX) 特性

表 6-12. 低功耗蓝牙 - 接收器特性 - 1 Mbps

参数	描述	最小值	典型值	最大值	单位
灵敏度 @30.8% PER	—	—	-98.0	—	dBm
最大接收信号 @30.8% PER	—	—	8	—	dBm
	共信道	F = FO MHz	—	7	dB
		F = FO + 1 MHz	—	-2	dB

见下页

表 6-12 – 接上页

参数	描述	最小值	典型值	最大值	单位
		$F = F_0 - 1 \text{ MHz}$	—	-3	dB
		$F = F_0 + 2 \text{ MHz}$	—	-34	dB
		$F = F_0 - 2 \text{ MHz}$	—	-27	dB
		$F = F_0 + 3 \text{ MHz}$	—	-33	dB
		$F = F_0 - 3 \text{ MHz}$	—	-40	dB
		$F \geq F_0 + 4 \text{ MHz}$	—	-27	dB
		$F \leq F_0 - 4 \text{ MHz}$	—	-53	dB
	镜像频率	—	—	-35	dB
	邻道镜像频率干扰	$F = F_{image} + 1 \text{ MHz}$	—	-34	dB
		$F = F_{image} - 1 \text{ MHz}$	—	-33	dB
带外阻塞	30 MHz ~ 2000 MHz		—	-20	dBm
	2003 MHz ~ 2399 MHz		—	-25	dBm
	2484 MHz ~ 2997 MHz		—	-25	dBm
	3000 MHz ~ 12.75 GHz		—	-10	dBm
互调	—		—	-32	dBm

表 6-13. 低功耗蓝牙 - 接收器特性 - 2 Mbps

参数	描述	最小值	典型值	最大值	单位
灵敏度 @30.8% PER	—	—	-94.0	—	dBm
最大接收信号 @30.8% PER	—	—	8	—	dBm
接收选择性 C/I	共信道	$F = F_0 \text{ MHz}$	—	9	dB
	相邻信道	$F = F_0 + 2 \text{ MHz}$	—	-7	dB
		$F = F_0 - 2 \text{ MHz}$	—	-6	dB
		$F = F_0 + 4 \text{ MHz}$	—	-21	dB
		$F = F_0 - 4 \text{ MHz}$	—	-27	dB
		$F = F_0 + 6 \text{ MHz}$	—	-38	dB
		$F = F_0 - 6 \text{ MHz}$	—	-41	dB
		$F \geq F_0 + 8 \text{ MHz}$	—	-46	dB
		$F \leq F_0 - 8 \text{ MHz}$	—	-46	dB
	镜像频率	—	—	-21	dB
	邻道镜像频率干扰	$F = F_{image} + 2 \text{ MHz}$	—	-38	dB
		$F = F_{image} - 2 \text{ MHz}$	—	-7	dB
带外阻塞	30 MHz ~ 2000 MHz		—	-25	dBm
	2003 MHz ~ 2399 MHz		—	-25	dBm
	2484 MHz ~ 2997 MHz		—	-25	dBm
	3000 MHz ~ 12.75 GHz		—	-10	dBm
互调	—		—	-31	dBm

表 6-14. 低功耗蓝牙 - 接收器特性 - 125 Kbps

参数	描述	最小值	典型值	最大值	单位
灵敏度 @30.8% PER	—	—	-106.0	—	dBm
最大接收信号 @30.8% PER	—	—	8	—	dBm
接收选择性 C/I	共信道	$F = F_0 \text{ MHz}$	—	4	dB
	相邻信道	$F = F_0 + 1 \text{ MHz}$	—	-2	dB
		$F = F_0 - 1 \text{ MHz}$	—	-3	dB
		$F = F_0 + 2 \text{ MHz}$	—	-33	dB
		$F = F_0 - 2 \text{ MHz}$	—	-36	dB
		$F = F_0 + 3 \text{ MHz}$	—	-35	dB
		$F = F_0 - 3 \text{ MHz}$	—	-50	dB
		$F \geq F_0 + 4 \text{ MHz}$	—	-31	dB
		$F \leq F_0 - 4 \text{ MHz}$	—	-50	dB
	镜像频率	—	—	-31	dB
	邻道镜像频率干扰	$F = F_{image} + 1 \text{ MHz}$	—	-36	dB
		$F = F_{image} - 1 \text{ MHz}$	—	-35	dB

表 6-15. 低功耗蓝牙 - 接收器特性 - 500 Kbps

参数	描述	最小值	典型值	最大值	单位
灵敏度 @30.8% PER	—	—	-102.0	—	dBm
最大接收信号 @30.8% PER	—	—	8	—	dBm
接收选择性 C/I	共信道	$F = F_0 \text{ MHz}$	—	4	dB
	相邻信道	$F = F_0 + 1 \text{ MHz}$	—	-4	dB
		$F = F_0 - 1 \text{ MHz}$	—	-3	dB
		$F = F_0 + 2 \text{ MHz}$	—	-32	dB
		$F = F_0 - 2 \text{ MHz}$	—	-36	dB
		$F = F_0 + 3 \text{ MHz}$	—	-35	dB
		$F = F_0 - 3 \text{ MHz}$	—	-50	dB
		$F \geq F_0 + 4 \text{ MHz}$	—	-29	dB
		$F \leq F_0 - 4 \text{ MHz}$	—	-50	dB
	镜像频率	—	—	-29	dB
	邻道镜像频率干扰	$F = F_{image} + 1 \text{ MHz}$	—	-36	dB
		$F = F_{image} - 1 \text{ MHz}$	—	-35	dB

7 封装

- 有关卷带、载盘和产品标签的信息，请参阅 [《ESP32-C61 芯片包装信息》](#)。
- 俯视图中，芯片管脚从 Pin 1 位置开始按逆时针方向编号。关于管脚序号和名称的详细信息，请参考图 2-1 [ESP32-C61 管脚布局（俯视图）](#)。

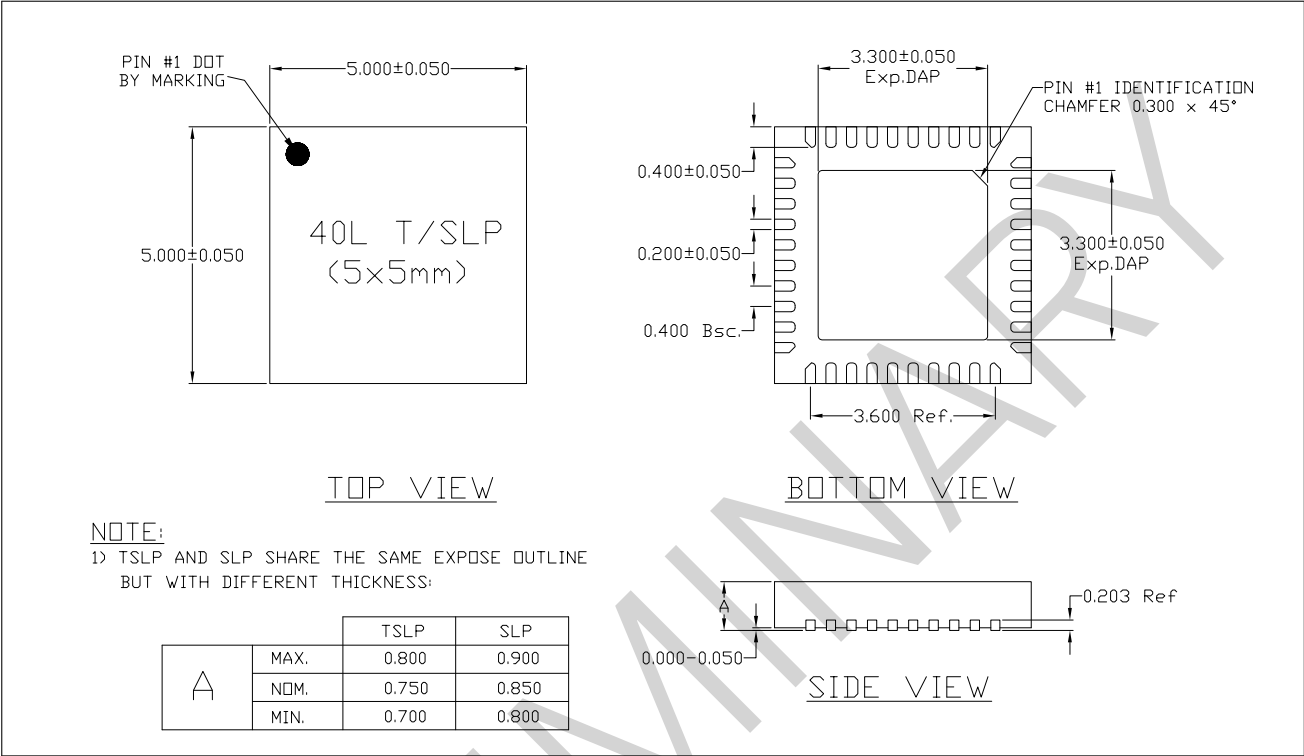


图 7-1. QFN40 (5×5 mm) 封装

附录 A – ESP32-C61 管脚总览

表 7-1. QFN40 封装管脚总览

管脚 序号	管脚 名称	管脚 类型	供电 管脚	管脚配置		IO MUX 功能						LP IO MUX 功能		模拟功能	
				复位时	复位后	F0	类型	F1	类型	F2	类型	F0		F0	F1
1	ANT_2G	Analog	-	-	-	-	-	-	-	-	-	-	-	-	-
2	VDDA3	Power	-	-	-	-	-	-	-	-	-	-	-	-	-
3	VDDA4	Power	-	-	-	-	-	-	-	-	-	-	-	-	-
4	CHIP_PU	I	VDDPST1	-	-	-	-	-	-	-	-	-	-	-	-
5	VDDPST1	Power	-	-	-	-	-	-	-	-	-	-	-	-	-
6	XTAL_32K_P	I/O/T	VDDPST1	-	-	GPIO0	I/O/T	GPIO0	I/O/T	-	-	LP_GPIO0	XTAL_32K_P	-	-
7	XTAL_32K_N	I/O/T	VDDPST1	-	-	GPIO1	I/O/T	GPIO1	I/O/T	-	-	LP_GPIO1	XTAL_32K_N	ADC1_CH0	-
8	GPIO2	I/O/T	VDDPST1	-	-	GPIO2	I/O/T	GPIO2	I/O/T	FSPIQ	I1/O/T	LP_GPIO2	-	-	-
9	MTMS	I/O/T	VDDPST1	IE	IE	MTMS	I1	GPIO3	I/O/T	FSPIHD	I1/O/T	LP_GPIO3	-	ADC1_CH1	-
10	MTDI	I/O/T	VDDPST1	IE	IE	MTDI	I1	GPIO4	I/O/T	FSPIWP	I1/O/T	LP_GPIO4	-	ADC1_CH2	-
11	MTCK	I/O/T	VDDPST1	-	IE*	MTCK	I1	GPIO5	I/O/T	-	-	LP_GPIO5	-	ADC1_CH3	-
12	MTDO	I/O/T	VDDPST1	-	IE	MTDO	O/T	GPIO6	I/O/T	FSPICLK	I1/O/T	LP_GPIO6	-	-	-
13	SDIO_CMD	I/O/T	VDDPST2	-	IE	SDIO_CMD	I1/O/T	GPIO25	I/O/T	-	-	-	-	-	-
14	SDIO_CLK	I/O/T	VDDPST2	-	IE	SDIO_CLK	I1	GPIO26	I/O/T	-	-	-	-	-	-
15	SDIO_DATA0	I/O/T	VDDPST2	-	IE	SDIO_DATA0	I1/O/T	GPIO27	I/O/T	-	-	-	-	-	-
16	SDIO_DATA1	I/O/T	VDDPST2	-	IE	SDIO_DATA1	I1/O/T	GPIO28	I/O/T	-	-	-	-	-	-
17	SDIO_DATA2	I/O/T	VDDPST2	-	IE	SDIO_DATA2	I1/O/T	GPIO22	I/O/T	-	-	-	-	-	-
18	SDIO_DATA3	I/O/T	VDDPST2	-	IE	SDIO_DATA3	I1/O/T	GPIO23	I/O/T	-	-	-	-	-	-
19	SPICS1	I/O/T	VDD_SPI/VDDPST2	-	-	SPICS1	O/T	GPIO14	I/O/T	-	-	-	-	-	-
20	SPICS0	I/O/T	VDD_SPI/VDDPST2	-	-	SPICS0	O/T	GPIO15	I/O/T	-	-	-	-	-	-
21	VDDPST2	Power	-	-	-	-	-	-	-	-	-	-	-	-	-
22	SPIQ	I/O/T	VDD_SPI/VDDPST2	-	-	SPIQ	I1/O/T	GPIO16	I/O/T	-	-	-	-	-	-
23	SPIWP	I/O/T	VDD_SPI/VDDPST2	-	-	SPIWP	I1/O/T	GPIO17	I/O/T	-	-	-	-	-	-
24	VDD_SPI	Power	VDDPST2	-	-	GPIO18	I/O/T	GPIO18	I/O/T	-	-	-	VDD_SPI	-	-
25	SPIHD	I/O/T	VDD_SPI/VDDPST2	-	-	SPIHD	I1/O/T	GPIO19	I/O/T	-	-	-	-	-	-
26	SPICLK	O	VDD_SPI/VDDPST2	-	-	SPICLK	O/T	GPIO20	I/O/T	-	-	-	-	-	-
27	SPID	I/O/T	VDD_SPI/VDDPST2	-	-	SPID	I1/O/T	GPIO21	I/O/T	-	-	-	-	-	-
28	USB_D-	I/O/T	VDDPST2	-	IE	GPIO12	I/O/T	GPIO12	I/O/T	-	-	-	USB_D-	-	-
29	USB_D+	I/O/T	VDDPST2	-	IE,WPU*	GPIO13	I/O/T	GPIO13	I/O/T	-	-	-	USB_D+	-	-
30	GPIO24	I/O/T	VDDPST2	-	-	GPIO24	I/O/T	GPIO24	I/O/T	-	-	-	-	-	-
31	GPIO8	I/O/T	VDDPST2	IE	IE	GPIO8	I/O/T	GPIO8	I/O/T	FSPICS0	I1/O/T	-	ZCDO	-	-
32	GPIO9	I/O/T	VDDPST2	IE,WPU	IE,WPU	GPIO9	I/O/T	GPIO9	I/O/T	-	-	-	ZCD1	-	-
33	UORXD	I/O/T	VDDPST2	-	IE,WPU	UORXD	I1	GPIO10	I/O/T	-	-	-	-	-	-
34	UOTXD	I/O/T	VDDPST2	-	IE,WPU	UOTXD	O	GPIO11	I/O/T	-	-	-	-	-	-
35	GPIO29	I/O/T	VDDPST2	-	-	GPIO29	I/O/T	GPIO29	I/O/T	-	-	-	-	-	-
36	GPIO7	I/O/T	VDDPST2	IE	IE	GPIO7	I/O/T	GPIO7	I/O/T	FSPID	I1/O/T	-	-	-	-
37	VDDA1	Power	-	-	-	-	-	-	-	-	-	-	-	-	-
38	XTAL_N	Analog	-	-	-	-	-	-	-	-	-	-	-	-	-
39	XTAL_P	Analog	-	-	-	-	-	-	-	-	-	-	-	-	-
40	VDDA2	Power	-	-	-	-	-	-	-	-	-	-	-	-	-

* 更多信息，详见章节 2 管脚。 高亮 的单元格，请参考章节 2.3.4 GPIO 和 LP GPIO 的限制。

修订历史

日期	版本	发布说明
2025-08-05	v0.5	首次发布
2025-04-22	v0.3	- 更新章节 2 管脚 - 添加外设 4.2.1.7 SDIO 从机控制器 - 更新章节 4.1.3.1 IO MUX 和 GPIO 交换矩阵 - 更新章节 4.1.3.4 中断矩阵
2024-08-26	v0.2	- 产品包装从 QFN32 变更为 QFN40 - 产品型号增加 ESP32-C61HF4R2，同时移除 ESP32-C61NR4 和 ESP32-C31 系列 - 更新章节 1 ESP32-C61 系列型号对比、2 管脚、3 启动配置项 和附录 ESP32-C61 管脚总览 - 更新 CoreMark 得分 - 更新 应用章节
2024-01-23	v0.1	初稿



免责声明和版权公告

本文档中的信息，包括供参考的 URL 地址，如有变更，恕不另行通知。

本文档可能引用了第三方的信息，所有引用的信息均为“按现状”提供，乐鑫不对信息的准确性、真实性做任何保证。

乐鑫不对本文档的内容做任何保证，包括内容的适销性、是否适用于特定用途，也不提供任何其他乐鑫提案、规格书或样品在他处提到的任何保证。

乐鑫不对本文档是否侵犯第三方权利做任何保证，也不对使用本文档内信息导致的任何侵犯知识产权的行为负责。本文档在此未以禁止反言或其他方式授予任何知识产权许可，不管是明示许可还是暗示许可。

Wi-Fi 联盟成员标志归 Wi-Fi 联盟所有。蓝牙标志是 Bluetooth SIG 的注册商标。

文档中提到的所有商标名称、商标和注册商标均属其各自所有者的财产，特此声明。

版权归 © 2025 乐鑫信息科技（上海）股份有限公司。保留所有权利。

www.espressif.com