

ESP32-H2 系列

硬件设计指南

关于本文档

本文提供基于 ESP32-H2 的硬件设计的指导规范。ESP32-H2 是一款具有超低功耗系统级芯片，支持 Bluetooth® 5 (LE)、Bluetooth Mesh、Thread、Matter 和 Zigbee。这些规范将帮助您提升电路和 PCB 版图设计的准确性。



预发布 v0.7
乐鑫信息科技
版权 © 2023

目录

| | | |
|----------|---|----|
| 1 | 产品概述 | 5 |
| 2 | 原理图设计检查表 | 6 |
| 2.1 | 电源 | 7 |
| 2.1.1 | 数字电源 | 7 |
| 2.1.2 | 模拟电源 | 7 |
| 2.2 | 上电时序与复位 | 8 |
| 2.2.1 | 上电时序 | 8 |
| 2.2.2 | 复位 | 8 |
| 2.2.3 | 上电、复位时序图 | 9 |
| 2.3 | Flash | 9 |
| 2.4 | 时钟源 | 9 |
| 2.4.1 | 外置主晶振时钟源（必选） | 9 |
| 2.4.2 | 低功耗时钟（可选） | 10 |
| 2.5 | 射频 (RF) | 11 |
| 2.6 | UART | 12 |
| 2.7 | Strapping 管脚 | 13 |
| 2.8 | GPIO | 14 |
| 2.9 | ADC | 15 |
| 2.10 | USB | 15 |
| 3 | 版图布局 | 16 |
| 3.1 | 版图设计通用要点 | 16 |
| 3.2 | 模组在底板上的位置摆放 | 16 |
| 3.3 | 电源 | 19 |
| 3.4 | 晶振 | 20 |
| 3.5 | 射频 | 21 |
| 3.6 | UART | 23 |
| 3.7 | USB | 23 |
| 3.8 | 版图设计常见问题 | 24 |
| 3.8.1 | 为什么电源纹波并不大，但射频的 TX 性能很差？ | 24 |
| 3.8.2 | 为什么芯片发包时，电源纹波很小，但射频的 TX 性能不好？ | 24 |
| 3.8.3 | 为什么 ESP32-H2 发包时，仪器测试到的 power 值比 target power 值要高很多或者低很多，且 EVM 比较差？ | 24 |
| 3.8.4 | 为什么芯片的 TX 性能没有问题，但 RX 的灵敏度不好？ | 24 |
| 4 | 开发硬件介绍 | 26 |
| 4.1 | ESP32-H2 系列模组 | 26 |
| 4.2 | ESP32-H2 系列开发板 | 26 |
| 4.3 | 下载指导 | 26 |
| 5 | 相关文档和资源 | 28 |

词汇列表

29

修订历史

30

PRELIMINARY

表格

| | | |
|---|---------------------|----|
| 1 | 上电和复位时序参数说明 | 9 |
| 3 | 启动模式控制 | 13 |
| 4 | Strapping 管脚的时序参数说明 | 13 |
| 5 | IO MUX 管脚功能 | 14 |

插图

| | | |
|----|------------------------------------|----|
| 1 | ESP32-H2 系列芯片参考设计原理图 | 6 |
| 2 | ESP32-H2 系列芯片数字电源 | 7 |
| 3 | ESP32-H2 系列芯片模拟电源 | 8 |
| 4 | 上电和复位时序参数图 | 9 |
| 5 | ESP32-H2 系列芯片无源晶振电路图 | 10 |
| 6 | ESP32-H2 系列芯片外置低功耗时钟电路图 | 11 |
| 7 | ESP32-H2 系列芯片射频匹配电路图 | 11 |
| 8 | 射频调试示意图 | 12 |
| 9 | Strapping 管脚的时序参数图 | 13 |
| 10 | ESP32-H2 系列芯片版图设计 | 16 |
| 11 | ESP32-H2 系列模组 (天线馈点在右侧) 在底板上的位置示意图 | 17 |
| 12 | ESP32-H2 系列模组 (天线馈点在左侧) 在底板上的位置示意图 | 18 |
| 13 | ESP32-H2 系列模组 (天线馈点在左侧) 天线区域净空示意图 | 19 |
| 14 | ESP32-H2 系列芯片四层板电源设计 | 19 |
| 15 | ESP32-H2 系列芯片晶振设计 (接地) | 21 |
| 16 | ESP32-H2 系列芯片晶振设计 (不接地) | 21 |
| 17 | ESP32-H2 系列芯片四层板射频部分版图设计 | 22 |
| 18 | ESP32-H2 系列芯片 PCB 叠层结构设计 | 22 |
| 19 | ESP32-H2 系列芯片四层板射频短截线设计 | 23 |
| 20 | ESP32-H2 系列芯片 UART0 版图设计 | 23 |

1 产品概述

说明:

点击链接或扫描二维码确保您使用的是最新版本的文档:

https://espressif.com/sites/default/files/documentation/esp32-h2_hardware_design_guidelines_cn.pdf



ESP32-H2 系列是超低功耗、高集成度的 MCU 系统级芯片 (SoC)，集成 Bluetooth® 5 (LE)、Zigbee 3.0 及 Thread 1.3 (802.15.4) 无线通信，专为物联网 (IoT)、智能家居、工业自动化、医疗保健及消费电子产品等各种应用而设计，具有行业领先的低功耗性能和射频性能。

ESP32-H2 系列搭载一个 RISC-V 32 位处理器，工作频率分别可达 96 MHz。芯片支持二次开发，无需使用其他微控制器或处理器。ESP32-H2 系列芯片是业内集成度领先的无线通信解决方案，集成了完整的发射/接收射频功能，包括天线开关、射频 balun、功率放大器、低噪声放大器、滤波器、电源管理模块和先进的自校准电路，极大减少了印刷电路板 (PCB) 的面积。

ESP32-H2 系列芯片还集成了先进的自校准电路，实现了动态自动调整，可以消除外部电路的缺陷，更好地适应外部环境的变化。

更多关于 ESP32-H2 系列芯片说明和订购信息请参考 [《ESP32-H2 系列芯片技术规格书》](#)。

说明:

除非特别说明，文中使用的“ESP32-H2”指的是 ESP32-H2 系列芯片，而非单一型号。

2 原理图设计检查表

ESP32-H2 系列芯片的核心电路只需要 17 个左右的电阻电容电感及 1 个无源晶振。为了更好地保证 ESP32-H2 系列芯片的工作性能，本章将详细介绍 ESP32-H2 系列芯片的原理图设计。

核心电路图分别如图 1 所示。

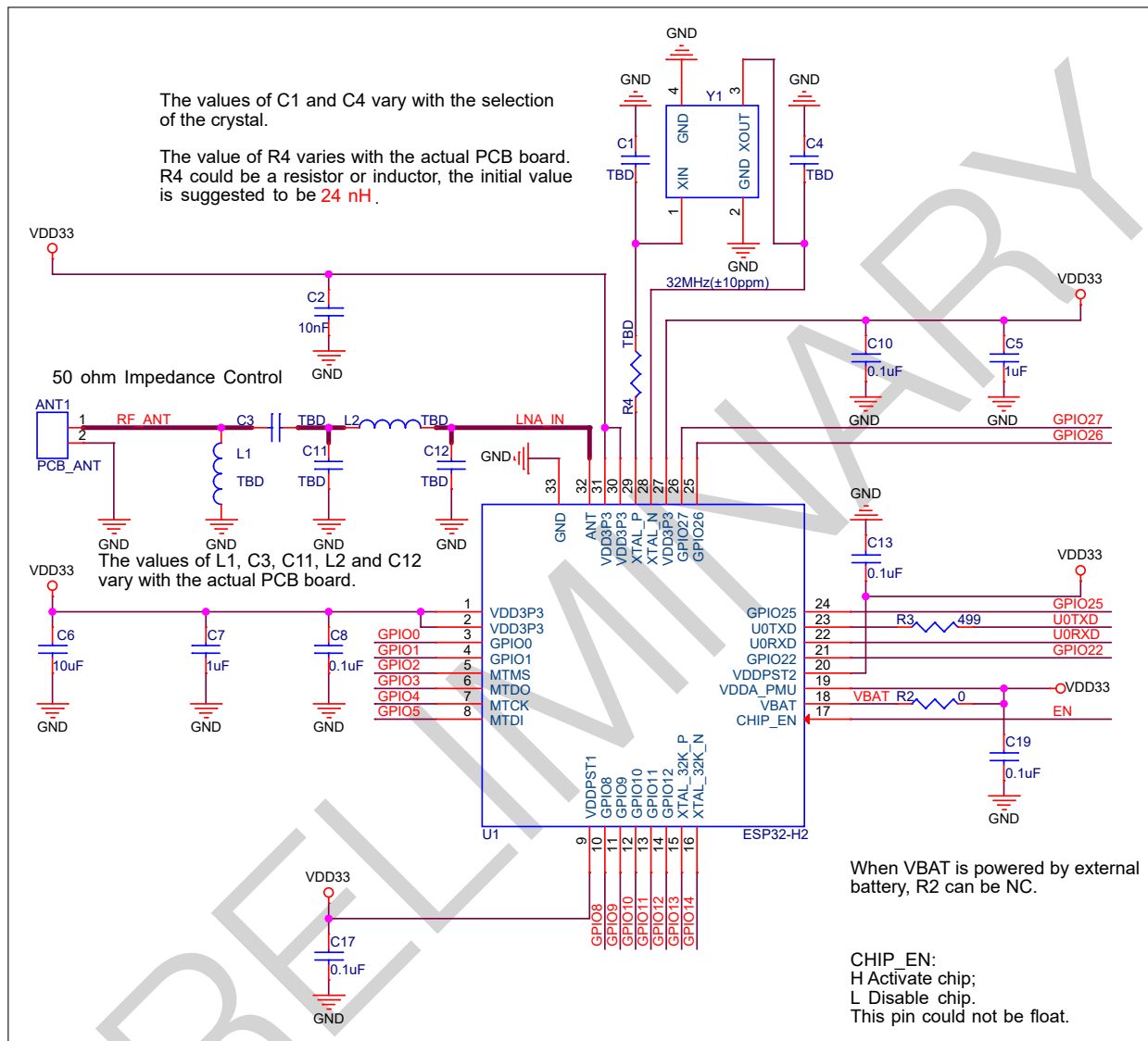


图 1: ESP32-H2 系列芯片参考设计原理图

ESP32-H2 系列芯片的核心电路图的设计有 10 个部分注意事项：

- 电源
- 上电时序与复位
- Flash
- 时钟源
- 射频
- UART
- Strapping 管脚
- GPIO
- ADC
- USB

下文将分别对这 10 个部分进行描述。

2.1 电源

关于电源管脚的更多信息，请查看 [《ESP32-H2 系列芯片技术规格书》](#) 中的**电源管理**章节。

2.1.1 数字电源

ESP32-H2 系列芯片的管脚 9 VDDPST1 和管脚 20 VDDPST2 分别为 Group0 IO 电源管脚和 Group1 IO 电源管脚，工作电压范围为 3.0 V ~ 3.6 V。建议在电路中靠近数字电源管脚处分别添加 0.1 μ F 电容。

ESP32-H2 系列芯片数字电源电路图如图 2 所示。

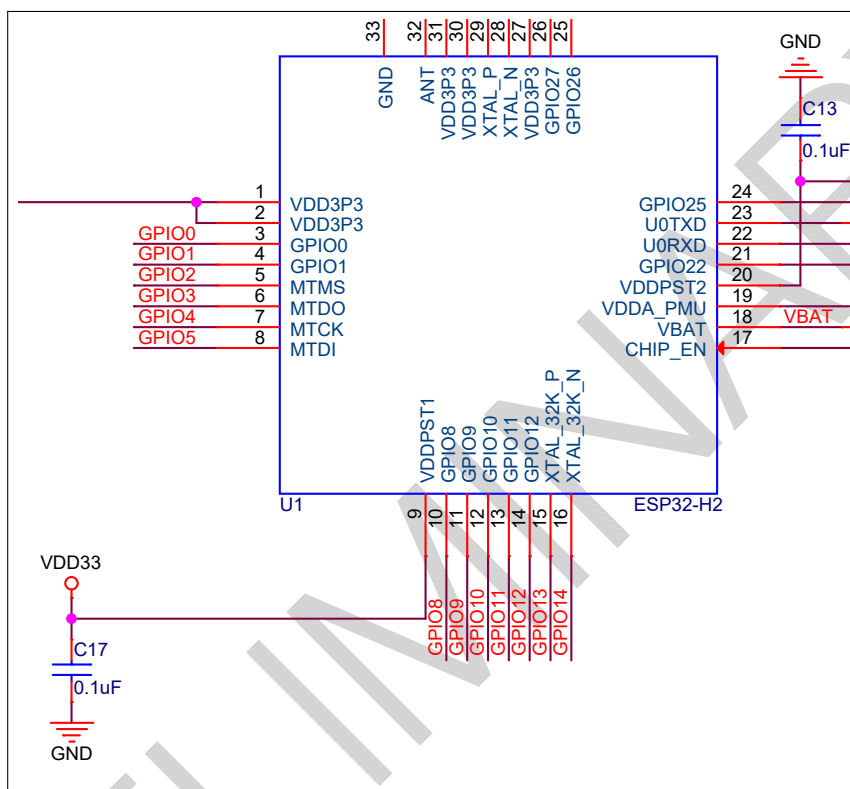


图 2: ESP32-H2 系列芯片数字电源

2.1.2 模拟电源

ESP32-H2 系列芯片的管脚 1 VDD3P3、管脚 2 VDD3P3、管脚 18 VBAT、管脚 19 VDDA_PMU、管脚 27 VDD3P3、管脚 30 VDD3P3 和管脚 31 VDD3P3 为模拟电源管脚，工作电压范围为 3.0 V ~ 3.6 V。

对于管脚 1 和管脚 2 的 VDD3P3 电源，需要注意的是，当 ESP32-H2 系列芯片工作在 TX 时，瞬间电流会加大，往往引起电源的轨道塌陷。所以在电路设计时建议在电源走线上增加一个 10 μ F 电容，该电容可与一个 1 μ F 和 0.1 μ F 电容搭配使用。其余电源管脚请参考图 3 放置相应的去耦电容。

如果 VBAT 由外部电源单独供电，R2 无需上件，工作电压范围为 3.0 V ~ 3.6 V。

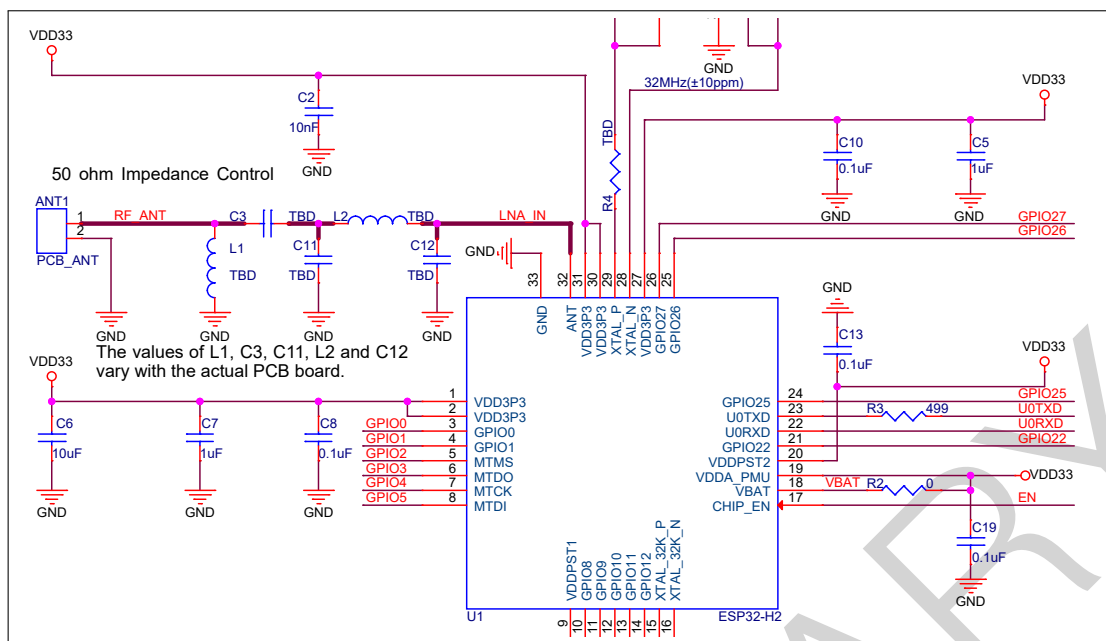


图 3: ESP32-H2 系列芯片模拟电源

注意:

- 使用单电源给 ESP32-H2 系列芯片供电时，建议供给电源电压为 3.3 V，最大输出电流需要满足 350 mA 及以上。
- 建议在总电源入口添加另一个 10 μF 电容；如果总电源入口靠近管脚 1 和 2，可以合并仅使用一个 10 μF 电容。
- 总电源入口处建议添加 ESD 保护器件。

2.2 上电时序与复位

2.2.1 上电时序

当 ESP32-H2 系列芯片使用 3.3 V 作为统一的系统电源时，由于芯片需要在电源轨稳定之后才能使能，因此上电时序需遵循：ESP32-H2 系列芯片的 CHIP_EN 使能管脚上电晚于系统电源 3.3 V 上电。具体时序请见章节 2.2.3。

注意:

为确保芯片上电时序正常，一般采用的方式是在 CHIP_EN 管脚处增加 RC 延迟电路。RC 通常建议为 $R = 10 \text{ k}\Omega$ ， $C = 1 \mu\text{F}$ ，但具体数值仍需根据实际的电源特性配合芯片的上电、复位时序进行调整。

2.2.2 复位

ESP32-H2 系列芯片的复位可使用 CHIP_EN 管脚。当 CHIP_EN 管脚为低电平时，建议复位电压 (V_{IL_nRST}) 范围为 $(-0.3 \sim 0.25 \times V_{DD}) \text{ V}$ 。为防止外界干扰引起重启，CHIP_EN 管脚引线需尽量短一些，且最好加上拉电阻和对地电容。具体时序请见章节 2.2.3。

注意:

该管脚不可浮空。

2.2.3 上电、复位时序图

图 4 为 ESP32-H2 系列芯片的上电、复位时序图。各参数说明如表 1 所示。

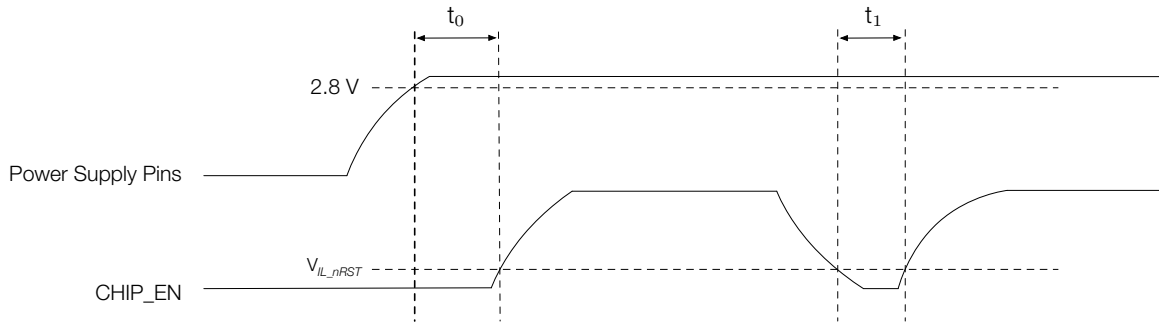


图 4: 上电和复位时序参数图

表 1: 上电和复位时序参数说明

| 参数 | 说明 | 最小值 (μs) |
|-------|---------------------------------------|-----------------------|
| t_0 | CHIP_EN 管脚上电晚于电源管脚上电的延时时间 | 50 |
| t_1 | CHIP_EN 电平低于 V_{IL_nRST} 从而复位芯片的时间 | 50 |

注意:

如果应用中存在以下场景:

- 电源缓慢上升或下降, 例如电池充电;
- 需要频繁上下电的操作;
- 供电电源不稳定, 例如光伏发电等。

仅仅通过 RC 电路不一定能满足时序要求, 有概率会导致芯片无法进入正常的工作模式。此时, 需要增加一些额外的电路设计, 比如:

- 增加复位芯片或者看门狗芯片, 通常阈值为 3.0 V 左右;
- 通过按键或主控实现复位等。

2.3 Flash

ESP32-H2 系列芯片内部合封 2 MB 或者 4 MB flash, 内部的 flash 管脚没有引出到芯片上。

2.4 时钟源

ESP32-H2 外部可以有两个时钟源:

- 外置主晶振时钟源
- RTC 时钟源

2.4.1 外置主晶振时钟源 (必选)

目前 ESP32-H2 系列芯片固件仅支持 32 MHz 晶振。

无源晶振

ESP32-H2 的无源晶振部分电路如图 5 所示，注意，选用的无源晶振自身精度需在 ± 10 ppm。

XTAL_P 时钟走线上请放置一个串联元器件，可以是电阻或者电感（见图 5 中的 R4），初始建议使用 **24 nH** 的电感，用来减弱晶振高频谐波对射频性能的影响，最终值需要通过测试后确认。

外部匹配电容 C1、C4 的初始值可参考以下公式来决定：

$$C_L = \frac{C1 \times C4}{C1 + C4} + C_{stray}$$

其中 C_L （负载电容）的值可查看所选择晶振的规格书， C_{stray} 的值为 PCB 的寄生电容。C1、C4 的最终值需要通过系统测试进行调节确定。调试方法如下：

1. 通过 [认证测试工具](#)，选择 TX tone 模式。
2. 使用综测仪或者频谱仪查看 2.4 GHz 信号，解调得到实际频偏。
3. 通过调整外置负载电容，把频偏调整到 ± 10 ppm（建议）以内。
 - 当中心频率偏正时，说明等效负载电容偏小，需要增加外置负载电容。
 - 当中心频率偏负时，说明等效负载电容偏大，需要减小外置负载电容。
 - 通常两个外置负载电容相等，在特殊情况下，也可以有略微差异。

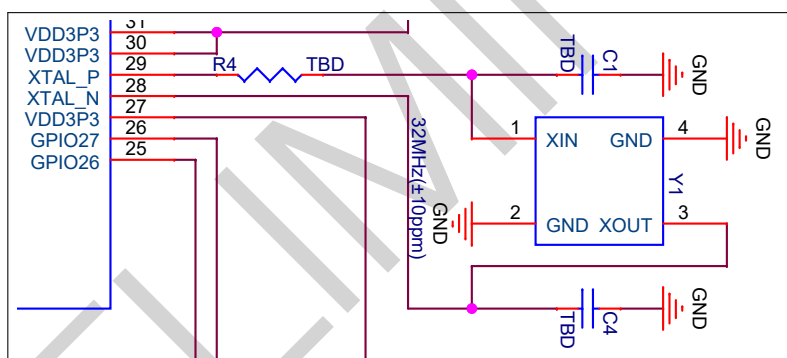


图 5: ESP32-H2 系列芯片无源晶振电路图

注意：

- 尽管 ESP32-H2 内部带有自校准功能，但是自身频偏过大（例如大于 ± 10 ppm）、工作温度范围内稳定度不高等晶振本身的质量问题仍然会影响芯片的正常工作，导致射频指标性能下降。
- 建议晶振的幅值大于 500 mV。
- 如果出现功能性的蓝牙无法连接，排除软件原因后，可以采用上文中的方法，通过调节晶振的电容来保证频偏满足要求。

2.4.2 低功耗时钟（可选）

ESP32-H2 支持外置 32.768 kHz 的无源晶振或者外部激励信号（如有源晶振）作为低功耗时钟。使用低功耗时钟是为了使时间更准确，从而降低平均功耗，但对于功能没有任何影响。

外置 32.768 kHz 无源晶振的电路如图 6 所示。

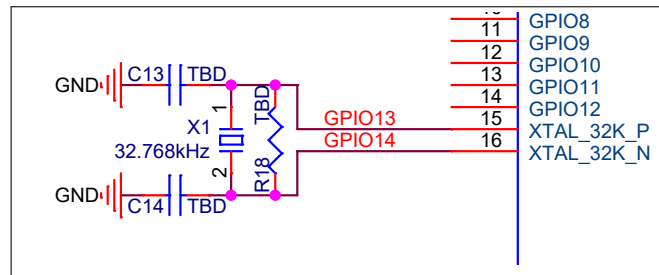


图 6: ESP32-H2 系列芯片外置低功耗时钟电路图

注意:

- 32.768 kHz 晶振选择要求：
 - 等效内阻 (ESR) $\leq 70 \text{ k}\Omega$;
 - 两端负载电容值根据晶振的规格要求进行配置。
- 并联电阻 R 用于偏置晶振电路，电阻值要求 $5 \text{ M}\Omega < R \leq 10 \text{ M}\Omega$ ，该电阻一般无需上件。
- 如果不需要该低功耗时钟，则 32.768 kHz 晶振的两个管脚也可配置为通用 GPIO 口使用。

2.5 射频 (RF)

ESP32-H2 系列芯片的射频电路主要由三部分组成：PCB 板射频走线、芯片匹配电路、天线及其匹配电路。

- PCB 板射频走线：需进行 50Ω 阻抗控制。
- 芯片匹配电路：请尽量靠近芯片放置。建议采用 CLCCL 结构，构成带通滤波器，主要用来调整阻抗点，抑制谐波及抑制低频噪声（尤其在电工照明类的应用中效果显著）。如果应用中没有 AC 转 DC 电路，可以考虑只用 CLC 结构。CLCCL 匹配电路如图 7 所示。
- 天线及其匹配电路：为保证辐射性能，建议天线的输入阻抗为 50Ω 左右。为保险起见，推荐在靠近天线位置增加一组 π 型匹配电路，用于调节天线的输入阻抗。如果经过仿真可以确保天线阻抗点为 50Ω 左右，并且空间较小，可以不加天线端的匹配电路。

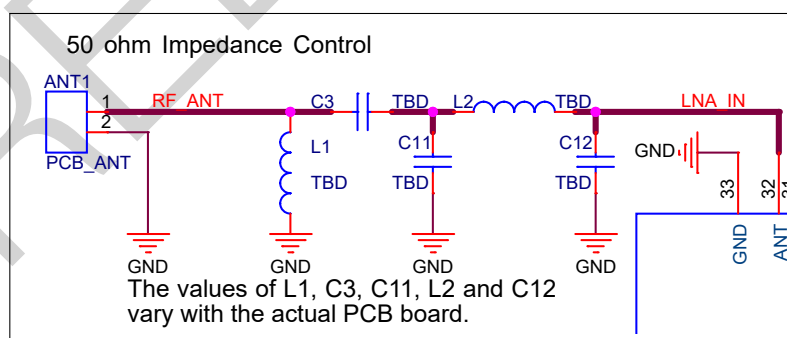


图 7: ESP32-H2 系列芯片射频匹配电路图

图 8 展示了 RF 调试的大概过程。请注意，匹配网络的参数值需基于实际天线和 PCB 布局进行测试来确定。

将芯片匹配电路靠近芯片的端口定义为端口 1，将其靠近天线的端口定义为端口 2，则 S11 用来描述从端口 1 反射回来的信号功率与输入信号功率之比，S21 用来描述从端口 1 到端口 2 的信号功率传输损耗。对于 ESP32-H2 系列芯片，当传输 4.8 GHz 及 7.2 GHz 信号时，如果 S11 小于等于 -10 dB 且 S21 小于等于 -35 dB 时，匹配电路即可满足要求。

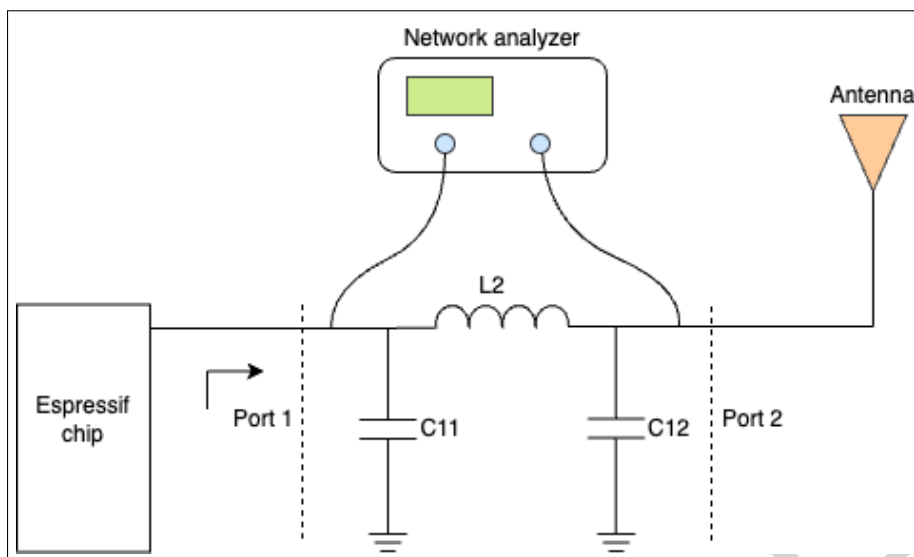


图 8: 射频调试示意图

将芯片匹配电路的两端分别接到综测仪上，测试其信号反射参数 S11 及传输参数 S21。调试该匹配电路中元件的数值，直至 S11 和 S21 满足上述要求。如果芯片的 PCB 板严格设计遵循第三章中的 PCB 设计，用户可以参考以下元件的数值范围来调试该匹配电路，

如果射频贴片器件采用 0201 物料，靠近芯片端匹配电路的 PCB 设计需要采用短截线，匹配电路的元器件的推荐数值范围为

| 位号 | 推荐数值 | 物料编号 |
|-----|--------------|--------------------|
| C11 | 1.2 ~ 1.8 pF | GRM0335C1H1RXBA01D |
| L2 | 2.4 ~ 3.0 nH | LQP03TN2NXB02D |
| C12 | 1.8 ~ 1.2 pF | GRM0335C1H1RXBA01D |

如果不需要使用射频功能，射频管脚可以悬空。

如果使用或生产环境中对静电敏感，建议在靠近天线侧预留 ESD 保护器件。

注意：

匹配网络的参数值和 PCB 板有关，须通过上述 RF 调试确认，因此请不要直接使用模组的匹配值。

2.6 UART

U0TXD 线上建议串联 499 Ω 电阻用于抑制 80 MHz 谐波。

UART0 通常作为下载和 log 打印的串口，管脚是固定的，即 U0TXD 和 U0RXD。关于如何使用 UART0 进行下载，请参考章节 4.3。

其他 UART 可以作为通信的串口，管脚可以通过软件配置到任意空闲的 GPIO 上。同样在 TX 线上建议预留串联电阻用于抑制谐波。

请注意使用 AT 固件时，固件里配置了 UART 的 GPIO，可以参考 [AT 固件下载](#)，建议使用默认配置。

2.7 Strapping 管脚

芯片每次上电或复位时，都需要一些初始配置参数，如加载芯片的启动模式等。这些参数通过 strapping 管脚控制。复位放开后，strapping 管脚和普通 IO 管脚功能相同。

所有的 strapping 管脚信息，可参考 [《ESP32-H2 系列芯片技术规格书》](#) > [Strapping 管脚](#) 章节。

下面主要介绍和启动模式有关的 strapping 管脚信息。

复位释放后，GPIO8 和 GPIO9 共同决定启动模式。详见表 3 启动模式控制。

表 3: 启动模式控制

| 启动模式 | GPIO8 | GPIO9 |
|----------------------------------|--------|--------|
| 默认配置 | - (浮空) | 1 (上拉) |
| SPI Boot | 任意值 | 1 |
| Joint Download Boot ¹ | 1 | 0 |

¹ Joint Download Boot 模式：Joint Download Boot 模式下支持以下下载方式：

- USB-Serial-JTAG Download Boot
- UART Download Boot

在 SPI Boot 模式下，ROM 引导加载程序通过从 SPI flash 中读取程序来启动系统。

在 Joint Download Boot 模式下，用户可通过 UART0 或 USB 接口将二进制文件下载至 flash，或将二进制文件下载至 SRAM 并运行 SRAM 中的程序。

除了 SPI BOOT 和 Joint Download Boot 模式，ESP32-H2 还支持 SPI Download Boot 模式，详见 [《ESP32-H2 技术参考手册》](#) > 芯片 Boot 控制章节。

Strapping 管脚的时序参数包括 建立时间和 保持时间。更多信息，详见表 4 和图 9。

表 4: Strapping 管脚的时序参数说明

| 参数 | 说明 | 最小值 (ms) |
|-------|------------------|----------|
| t_0 | CHIP_EN 上电前的建立时间 | 0 |
| t_1 | CHIP_EN 上电后的保持时间 | 3 |

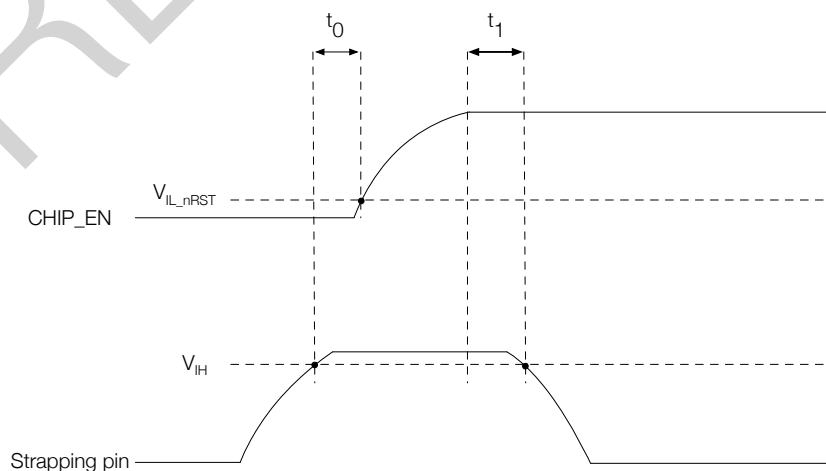


图 9: Strapping 管脚的时序参数图

注意:

请注意不要在 GPIO9 管脚处添加较大的电容，以免影响芯片上电启动。

2.8 GPIO

ESP32-H2 系列芯片通过 IO MUX 表格或者 GPIO 交换矩阵功能来配置 GPIO，IO MUX 表格中是默认的外设管脚配置，GPIO 交换矩阵用于将可以配置的外设信号传输至 GPIO 管脚。更多关于 IO MUX 和 GPIO 交换矩阵的信息，请参考 [《ESP32-H2 技术参考手册》](#) 的 IO MUX 和 GPIO 交换矩阵 (GPIO, IO_MUX) 章节。

部分外设的 GPIO 管脚是固定的，部分是可以任意配置的，具体信息请参考 [《ESP32-H2 系列芯片技术规格书》](#) > [外设管脚分配](#) 章节。

使用 GPIO 时，

- 请注意 strapping 管脚的上电状态。
- 请注意复位后的默认配置，详见表 5。建议对处于高阻态的管脚配置上拉或下拉，或在软件初始化时开启管脚自带的上下拉，以避免不必要的耗电。

说明:

以下内容摘自 [《ESP32-H2 系列芯片技术规格书》](#) > [管脚定义](#) 章节。

表 5: IO MUX 管脚功能

| 名称 | 序号 | 功能 0 | 功能 1 | 功能 2 | 复位 | 说明 |
|------------|----|--------|--------|---------|----|--------|
| GPIO0 | 3 | GPIO0 | GPIO0 | FSPIQ | 0 | — |
| GPIO1 | 4 | GPIO1 | GPIO1 | FSPICS0 | 0 | R |
| MTMS | 5 | MTMS | GPIO2 | FSPIWP | 1 | R |
| MTDO | 6 | MTDO | GPIO3 | FSPIHD | 1 | R |
| MTCK | 7 | MTCK | GPIO4 | FSPICLK | 1* | R |
| MTDI | 8 | MTDI | GPIO5 | FSPID | 1 | R |
| GPIO8 | 10 | GPIO8 | GPIO8 | — | 1 | — |
| GPIO9 | 11 | GPIO9 | GPIO9 | — | 3 | — |
| GPIO10 | 12 | GPIO10 | GPIO10 | — | 0 | R |
| GPIO11 | 13 | GPIO11 | GPIO11 | — | 0 | R |
| GPIO12 | 14 | GPIO12 | GPIO12 | — | 0 | — |
| XTAL_32K_P | 15 | GPIO13 | GPIO13 | — | 0 | R |
| XTAL_32K_N | 16 | GPIO14 | GPIO14 | — | 0 | R |
| GPIO22 | 21 | GPIO22 | GPIO22 | — | 0 | — |
| U0RXD | 22 | U0RXD | GPIO23 | FSPICS1 | 3 | — |
| U0TXD | 23 | U0TXD | GPIO24 | FSPICS2 | 4 | — |
| GPIO25 | 24 | GPIO25 | GPIO25 | FSPICS3 | 1 | — |
| GPIO26 | 25 | GPIO26 | GPIO26 | FSPICS4 | 1 | R, USB |

| 名称 | 序号 | 功能 0 | 功能 1 | 功能 2 | 复位 | 说明 |
|--------|----|--------|--------|---------|----|--------|
| GPIO27 | 26 | GPIO27 | GPIO27 | FSPICS5 | 3* | R, USB |

复位

每个管脚复位后的默认配置:

- 0 - 输入关闭, 高阻 (IE = 0)
- 1 - 输入使能, 高阻 (IE = 1)
- 2 - 输入使能, 下拉电阻使能 (IE = 1, WPD = 1)
- 3 - 输入使能, 上拉电阻使能 (IE = 1, WPU = 1)
- 4 - 输出使能, 上拉电阻使能 (OE = 1, WPU = 1)
- 1* - eFuse 的 EFUSE_DIS_PAD_JTAG 位为
0 时 (初始默认值), 管脚复位后输入使能, 上拉电阻使能 (IE = 1, WPU = 1)
1 时, 管脚复位后输入使能, 高阻 (IE = 1)
- 3* - 输入使能, 上拉电阻使能 (IE = 1, WPU = 0, USB_WPU = 1). 具体见说明。

建议对处于高阻态的管脚配置上拉或下拉, 以避免不必要的耗电。用户可在 PCB 设计中实现上下拉, 或在软件初始化时开启管脚自带的上下拉。

说明

- R - 管脚具有模拟功能。
- USB - USB 上拉电阻使能
 - USB 管脚 (GPIO26 和 GPIO27) 默认开启 USB 功能, 此时管脚是否上拉由 USB 是否上拉决定。USB 上拉由 USB_SERIAL_JTAG_DP/DM_PULLUP 控制, USB 上拉电阻的具体阻值可通过 USB_SERIAL_JTAG_PULLUP_VALUE 位控制, 详见 [《ESP32-H2 技术参考手册》](#) > 章节 USB 串口/JTAG 控制器。
 - USB 管脚关闭 USB 功能时, 用作普通 GPIO, 默认禁用管脚内部弱上/下拉电阻, 可通过 IO_MUX_GPIO_n_FUN_WPU/WPD 配置, 详见 [《ESP32-H2 技术参考手册》](#) > 章节 IO MUX 和 GPIO 交换矩阵 (GPIO, IO MUX)。

2.9 ADC

使用 ADC 功能时, 请在 ESP32-H2 芯片管脚附近添加 0.1 μ F 的对地滤波电容, 以提高精度。

2.10 USB

ESP32-H2 系列芯片集成了一个 USB 串口/JTAG 控制器, 作为兼容 USB 2.0 全速模式的设备。

GPIO26 和 GPIO27 可以分别作为 USB 的 D- 和 D+, 线上建议预留串联电阻 (初始值可为 0 Ω) 和对地电容 (初始可不上件), 并注意靠近 ESP32-H2 芯片端放置。

ESP32-H2 系列芯片也支持通过 USB 进行下载和 log 打印, 下载指导请参考章节 4.3。

3 版图布局

本章节将以 ESP32-H2-MINI-1 模组的 PCB 布局为例，介绍 ESP32-H2 系列芯片的 PCB 布局设计要点。

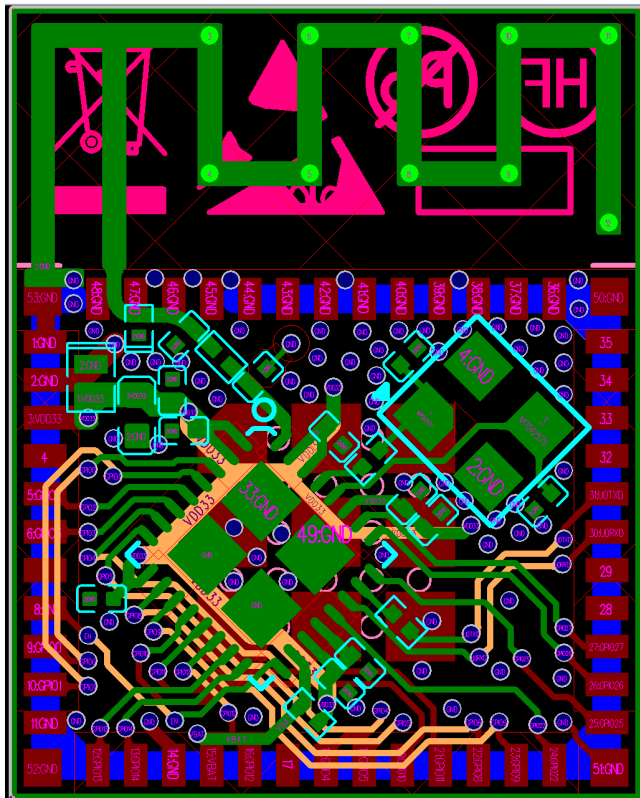


图 10: ESP32-H2 系列芯片版图设计

3.1 版图设计通用要点

建议采用四层板设计，即：

- 第一层（顶层），主要用于走信号线和摆件。
- 第二层（地层），不走信号线，保证一个完整的地平面。
- 第三层（电源线层），铺地平面，使射频及晶振部分可以得到更好的屏蔽。在保证射频及晶振部分下方完整地平面的情况下，将电源走在该层，可适度走信号线。
- 第四层（底层），不建议摆件，可适度走信号线。

如采用两层板设计：

- 第一层（顶层），主要用于摆件和走线。
- 第二层（底层），不要摆件，走线也越少越好，保证射频、晶振和芯片有一个完整的地平面。

3.2 模组在底板上的位置摆放

如使用模组进行板上 (on-board) 设计，需注意模组在底板的布局，应尽可能地减小底板对模组 PCB 天线性能的影响。

建议将模组天线区域伸出板边，馈点靠近底板板边放置。在下面模组摆放位置图中，✓代表强烈推荐的摆放位置，其他位置不推荐。

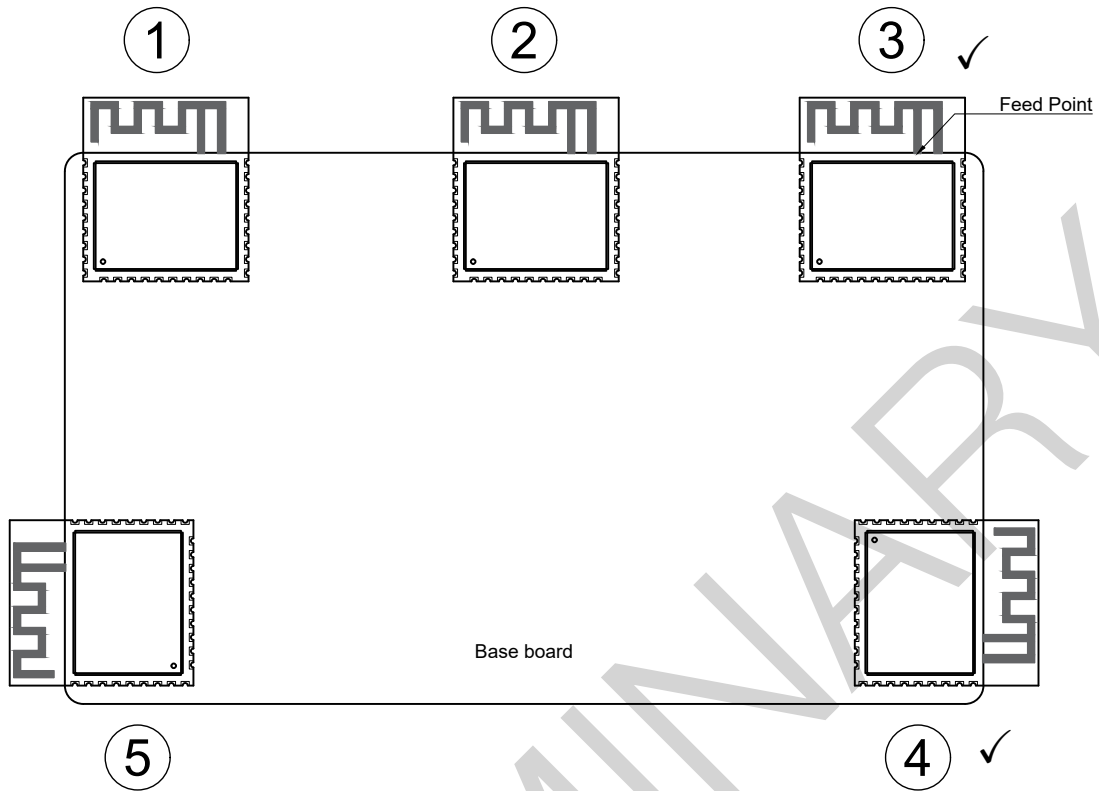


图 11: ESP32-H2 系列模组 (天线馈点在右侧) 在底板上的位置示意图

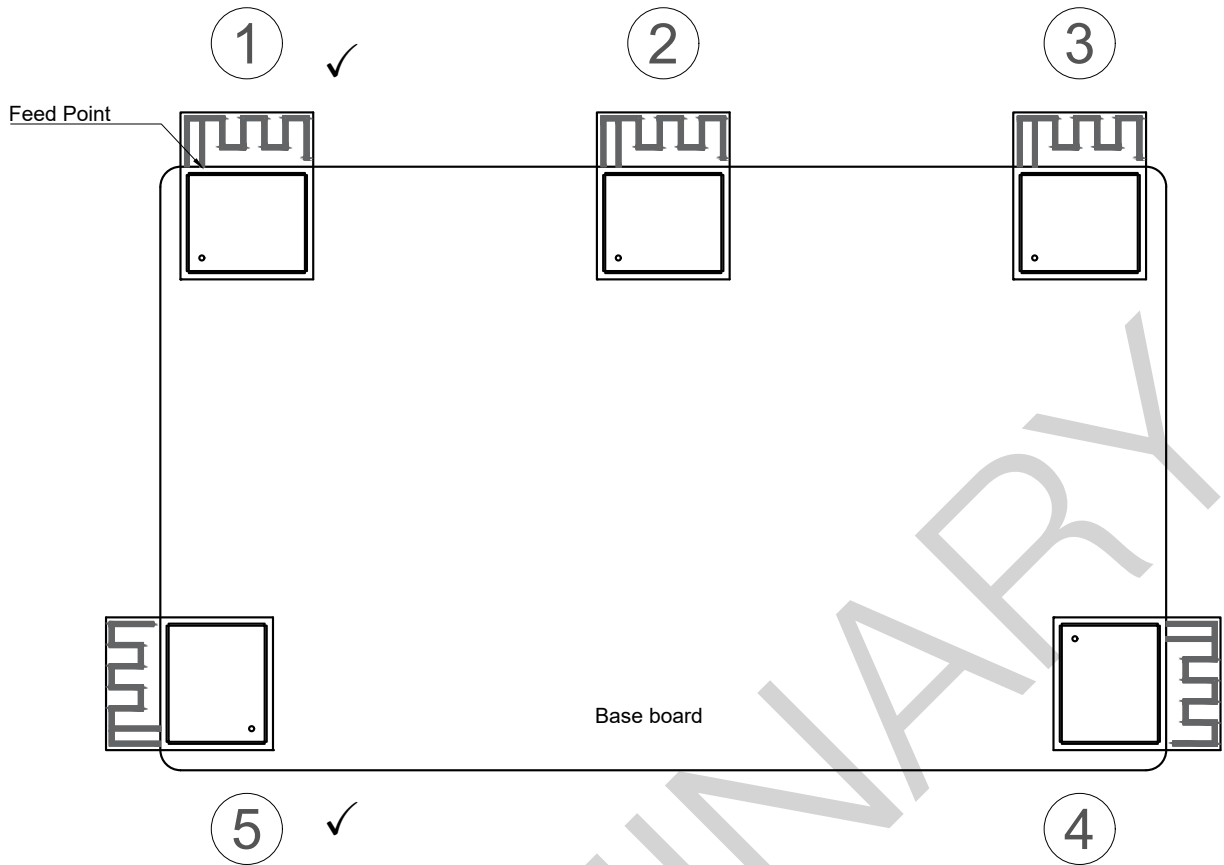


图 12: ESP32-H2 系列模组 (天线馈点在左侧) 在底板上的位置示意图

如果天线无法伸出板边，请保证给 PCB 天线一个足够大的净空区域（严禁铺铜、走线、摆放元件），该净空区域建议至少 15 mm，PCB 天线下方区域的底板请切割掉，以尽可能地减少底板板材对 PCB 天线的影 响。馈点还是尽量靠近板边放置，如图 13 以馈点在左侧的模组为例，画出了建议的净空区。

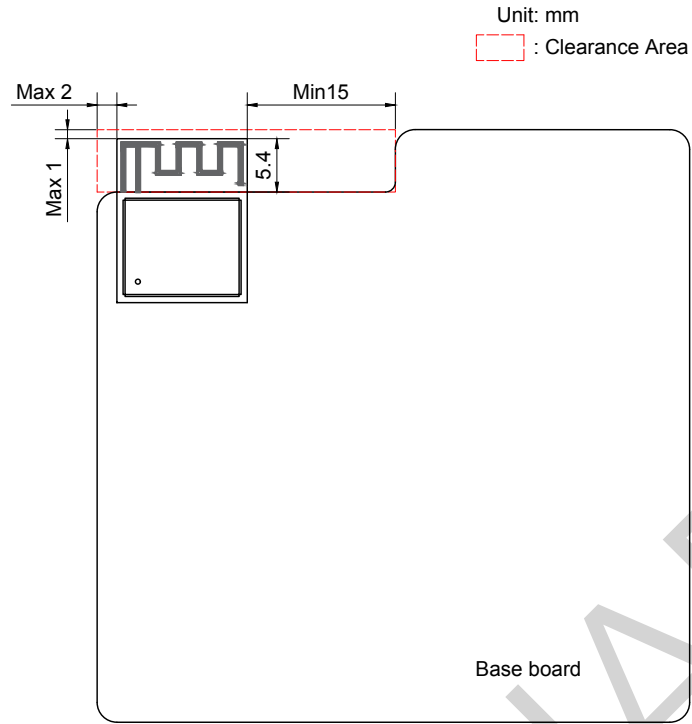


图 13: ESP32-H2 系列模组 (天线馈点在左侧) 天线区域净空示意图

涉及整机设计时，请注意考虑外壳对天线的影响，并进行 RF 验证。

请注意最终仍需要对整机产品进行吞吐量和通讯距离等测试来确保产品射频性能。

3.3 电源

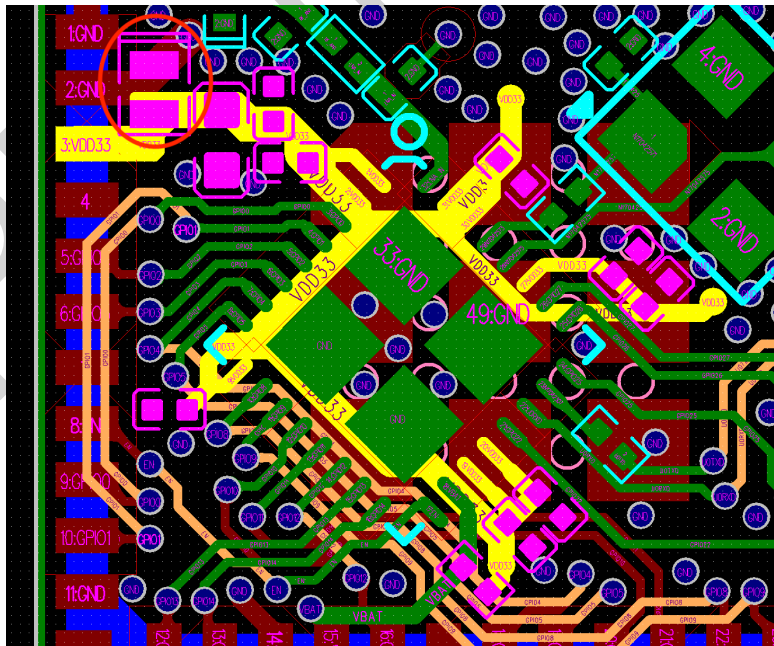


图 14: ESP32-H2 系列芯片四层板电源设计

- 优先采用四层板设计，电源走线尽量走在内层第三层，通过过孔连接至顶层芯片管脚处。主干电源换层处请至少保证两个过孔。其余电源走线上的钻孔的直径应不小于电源走线的宽度。
- 图 14 中黄色高亮信号线即为 3.3 V 电源走线。主干电源走线的线宽建议至少 20 mil，管脚 1 和 2 的模拟电源 VDD3P3 分支电源走线建议至少 15 mil，其他分支电源走线建议 10 mil。
- 图 14 左上半部分中红色圆圈标示的是 ESD 保护管，需靠近电源端口放置。电源走线进入芯片前需添加一个 10 μF 电容，该电容可与 0.1 或 1 μF 电容搭配使用。而后电源走线可在此分支，进行星形走线，减少不同电源管脚之间的耦合。所有的去耦电容请靠近对应电源管脚放置，去耦电容的接地管脚请靠近打地孔，保证较短的返回路径。

注意：

图 14 中因为管脚 1、2 的模拟电源 VDD3P3 和芯片电源入口接近，因此只使用了一个 10 μF 电容。如果芯片电源入口不靠近管脚 1、2 的模拟电源 VDD3P3 管脚，请在芯片电源入口处和管脚 1、2 的模拟电源 VDD3P3 处都添加一个 10 μF 电容，如果有足够空间，可以再预留一个 1 μF 电容。

- 管脚 1、2 的 VDD3P3 模拟电源两边请包地处理，和周围的射频、GPIO 之间添加 GND 隔离，并尽量能放置地孔。
- 芯片下方的地焊盘，请注意需要至少打九个地孔连接到地平面。
- 如图 14 所示，如需在模组背面添加散热焊盘 EPAD，建议参考芯片 EPAD 的多宫格进行设计，间隙处盖油墨，地孔打在间隙处。这样可以有效地改善模组 EPAD 焊接至底板时因为溢锡及气泡导致的芯片移位问题。

3.4 晶振

晶振设计请参考图 15 和图 16，晶振在顶层可以连接到地或者不连接到地。如果顶层的地很充分，建议采用不连接到地的方式，既可以减小寄生电容，也可以抑制温度传导，以防影响频偏。另外：

- 需要保证射频、晶振和芯片有一个完整的地平面。
- 晶振需离芯片时钟管脚稍远一些放置（间距至少为 1.8 mm），防止晶振干扰到芯片。同时晶振走线须用地包起来周围密集地孔屏蔽隔离。
- 晶振的时钟走线不可打孔走线，即不能跨层。晶振的时钟走线不可交叉，也不可跨层交叉。
- 晶振上的串联元器件请靠近芯片放置。
- 晶振外接的对地调节电容请靠近晶振左右两侧摆放，不可直接连接在串联元器件上，电容尽量置于时钟走线连接末端，保证电容的地焊盘靠近晶振的地焊盘放置。
- 晶振下方都不能走高频数字信号，最佳情况是晶振下方不走任何信号线。晶振时钟走线两侧的电源线上的过孔应尽可能地远离时钟走线放置，并使时钟走线两侧尽可能包地。
- 晶振为敏感器件，晶振周围不能放置磁感应器件，比如大电感等，保证晶振周围有干净的大面积地平面。

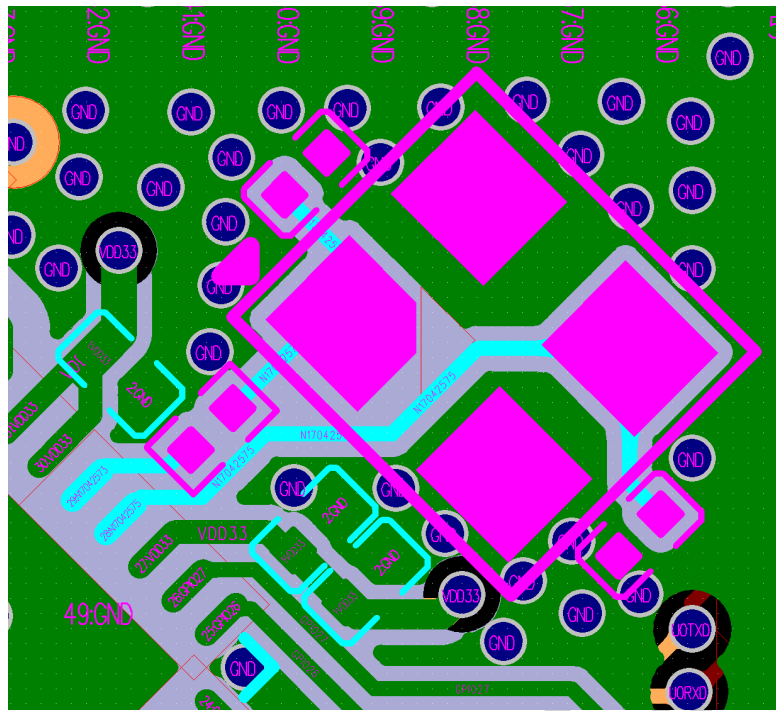


图 15: ESP32-H2 系列芯片晶振设计 (接地)

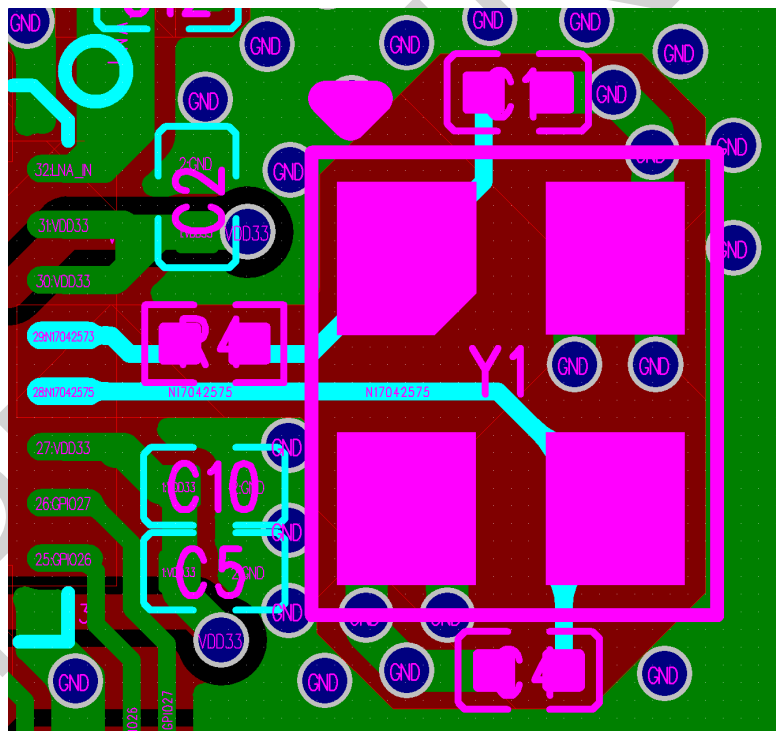


图 16: ESP32-H2 系列芯片晶振设计 (不接地)

3.5 射频

下图 17 中高亮走线即为射频走线。

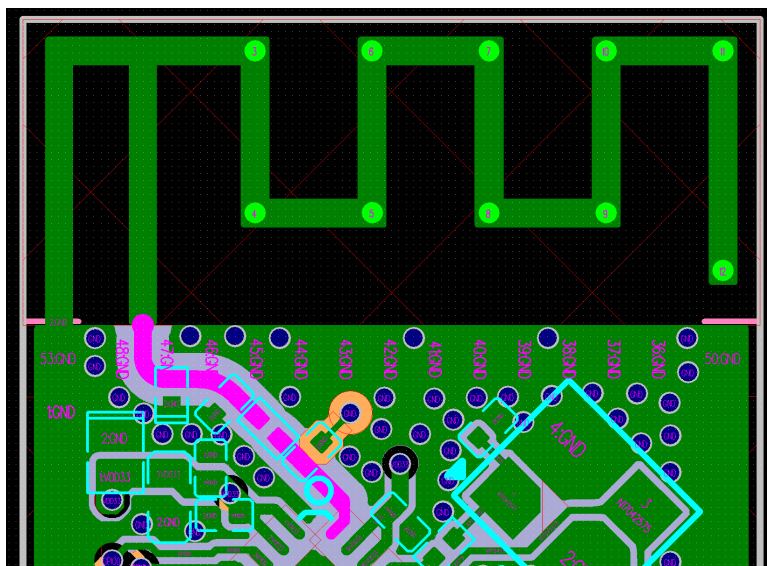


图 17: ESP32-H2 系列芯片四层板射频部分版图设计

- 射频走线须做 $50\ \Omega$ 阻抗控制，参考平面为第二层。射频走线上需预留一个 π 型匹配电路，且 π 型匹配电路需尽可能地靠近芯片端，并呈 Z 字型摆放。
- 射频走线在做 $50\ \Omega$ 阻抗控制时，可参考图 18 所示的 PCB 叠层结构设计。

| 厚度 (mm) | 阻抗 (Ohm) | 铜距 (mil) | 线宽 (mil) | 铜距 (mil) |
|---------|----------|----------|----------|----------|
| - | 50 | 12.2 | 12.6 | 12.2 |

| 叠层 | 材质 | 基铜厚 (oz) | 成品层厚 (mil) | 介电常数 |
|-----------|------------------|----------|------------|------|
| 阻焊层 | | | 0.4 | 4 |
| L1_Top | 成品铜厚 1 oz | 0.33 | 0.8 (Min) | |
| PP | 7628 TG150 RC50% | | 8 | 4.39 |
| L2_Gnd | | 1 | 1.2 | |
| Core | 芯板 | | 可调 | 4.43 |
| L3_Power | | 1 | 1.2 | |
| PP | 7628 TG150 RC50% | | 8 | 4.39 |
| L4_Bottom | 成品铜厚 1 oz | 0.33 | 0.8 (Min) | |
| 阻焊层 | | | 0.4 | 4 |

图 18: ESP32-H2 系列芯片 PCB 叠层结构设计

- 射频走线线宽请注意保持一致，不可有分支走线。射频走线长度须尽量短，并注意周围密集地孔屏蔽。
- 射频走线在表层，走线不可有过孔，即不能跨层走线，且尽量使用 135° 角走线或是圆弧走线。
- π 型 CLC 匹配网络中靠近芯片侧对地电容的 GND 焊盘与地之间建议增加短截线，可有效抑制二次谐波。短截线的长度建议为 15 mil，线宽根据 PCB 叠层结构进行确定，确保短截线的特征阻抗为 $100\ \Omega \pm 10\%$ 。此外，短截线地孔与第三层相连，第一、二层做 keep-out 隔离处理。图 19 中的高亮走线即为短截线。当 π 型匹配网络元器件封装为 0201 以上时，则无需做短截线处理。
- 射频走线须保证相邻层完整地平面，射频走线下方尽可能不要有任何走线。
- 射频走线附近不能有高频信号线。射频上的天线必须远离所有传输高频信号的器件，比如晶振、DDR、一

些高频时钟等。另外，USB 端口、USB 转串口信号的芯片、UART 信号线（包括走线、过孔、测试点、插针引脚等）都必须尽可能地远离天线。且 UART 信号线做包地处理，周围加地孔屏蔽。

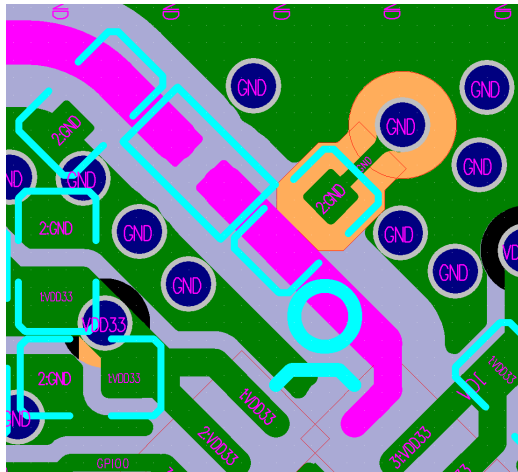


图 19: ESP32-H2 系列芯片四层板射频短截线设计

3.6 UART

- U0TXD 线上的串联电阻请靠近 ESP32-H2 芯片侧并远离晶振放置。
- U0TXD、U0RXD 在顶层的走线需尽量短。
- UART 走线两侧请注意包地处理，周围加地孔屏蔽。

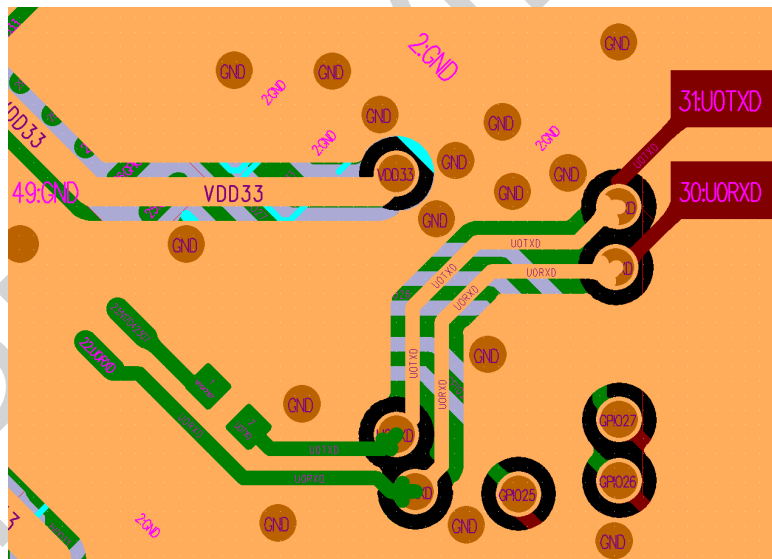


图 20: ESP32-H2 系列芯片 UART0 版图设计

3.7 USB

- USB 线上预留的 RC 电路请靠近 ESP32-H2 芯片侧放置。
- USB 走线请按照差分走线，保持平行等长。
- USB 走线须有完整的参考地平面，走线两侧请注意包地处理。

3.8 版图设计常见问题

3.8.1 为什么电源纹波并不大，但射频的 TX 性能很差？

现象分析

电源纹波可极大地影响射频的 TX 性能。测量电源纹波时需注意电源纹波必须是在 ESP32-H2 正常发包下测试。随着不同模式下功率的改变，电源纹波也会随之变化，发包功率越高，导致的纹波越大。

一般情况下，发送 MCS7@11n 的包时，电源纹波峰峰值必须 <80 mV。发送 11m@11b 时，电源纹波峰峰值必须 <120 mV。

解决方法

在电源支路上（支路为 ESP32-H2 模拟电源管脚）添加一个 $10\ \mu\text{F}$ 的滤波电容。 $10\ \mu\text{F}$ 的电容必须靠近芯片的模拟电源管脚，越近纹波会越小越稳定。

3.8.2 为什么芯片发包时，电源纹波很小，但射频的 TX 性能不好？

现象分析

射频的 TX 性能不仅受电源纹波的影响，还受到晶振的影响。晶振的本身质量不好，频偏过大会影响射频的 TX 性能。或者晶振受到高频信号干扰，比如晶振的输入输出信号线走线跨层交叉，使得晶振的输入信号耦合到输出信号上，输出信号耦合到输入信号上，也会影响射频的 TX 性能。另外，如果晶振的下方有其他高频信号走线，比如 SDIO 走线、UART 走线，也会导致晶振无法正常工作。最后，晶振旁边有感性器件或辐射器件，比如大电感、天线等也会导致芯片的射频性能不好。

解决方法

此问题主要是在布局上，可以重新布局，详见章节 3.4。

3.8.3 为什么 ESP32-H2 发包时，仪器测试到的 power 值比 target power 值要高很多或者低很多，且 EVM 比较差？

现象分析

仪器检测到的 power 值与 target power 相差较大，可能是由于芯片射频管脚输出到天线这一段传输线上阻抗不匹配导致信号在传输过程中有反射。其次，阻抗不匹配会影响到芯片内部 PA 的工作状态，使得 PA 非正常过早进入饱和区域，继而使得信号失真度高，EVM 自然会变差。

解决方法

射频走线上预留了一个 π 型电路，可以根据需求对天线进行阻抗匹配，使得从芯片射频管脚往天线端看去，阻抗接近芯片端口阻抗。

3.8.4 为什么芯片的 TX 性能没有问题，但 RX 的灵敏度不好？

现象分析

芯片的 TX 性能没有问题意味着射频端的阻抗匹配也没有问题。RX 灵敏度不好的可能原因是外界干扰耦合到天线上，比如晶振离天线非常近，或是 UART 的 TX 与 RX 走线穿过射频走线等。另外，如果主板上存在非常多的

高频信号干扰源，则需根据主板设计来考量信号完整性的问题。

解决方法

请确保天线远离晶振，且射频走线附近不要走高频信号，具体可参考章节 3.5。

PRELIMINARY

4 开发硬件介绍

4.1 ESP32-H2 系列模组

请至乐鑫官网的[模组页面](#)查看 ESP32-H2 系列模组的最新详细信息。

乐鑫官网的[文档页面](#)提供模组的参考设计。

4.2 ESP32-H2 系列开发板

请至乐鑫官网的[开发板页面](#)查看 ESP32-H2 系列开发板的最新详细信息。

4.3 下载指导

ESP32-H2 系列芯片支持通过 UART 和 USB 两种方式下载固件。

UART 下载的过程如下：

1. 烧录前，需要保证芯片或模组的启动模式为 Joint Download Boot，即将 strapping 管脚 GPIO8（默认浮空）上拉到高电平，管脚 GPIO9（默认为高）下拉到低电平；
2. 给芯片或模组上电，通过 UART0 串口查看 log，如果看到“waiting for download”信息，说明已成功进入 Joint Download Boot 启动模式；
3. 通过 [Flash 下载工具](#)，选择 UART 方式将程序固件烧录进 flash 中；
4. 烧录结束后，需要保证芯片或模组的启动模式为 SPI Boot，即将 GPIO9 悬空或者上拉切换至高电平；
5. 重新上电，芯片初始化时会从 flash 中读取程序运行。

USB 下载的过程如下：

1. 如果 flash 中有能正常运行的程序固件，可以直接从步骤 3 开始 USB 下载。如果 flash 中没有能正常运行的程序固件，烧录前，需要保证芯片或模组的启动模式为 Joint Download Boot，即将 strapping 管脚 GPIO8（默认浮空）上拉到高电平，管脚 GPIO9（默认为高）下拉到低电平；
2. 给芯片或模组上电，通过 USB 接口查看 log，如果看到“waiting for download”信息，说明已成功进入 Joint Download Boot 启动模式；
3. 通过 [Flash 下载工具](#)，选择 USB 方式将程序固件烧录进 flash 中；
4. 烧录结束后，需要保证芯片或模组的启动模式为 SPI Boot，即将 GPIO9 悬空或者上拉切换至高电平；
5. 重新上电，芯片初始化时会从 flash 中读取程序运行。

注意：

- 推荐先通过串口看到“waiting for download”的信息后再进行下载。
- 串口打印工具和烧录工具不能同时占用同一个串口端口。
- 应用程序中如果出现以下情况，USB 自动下载功能将被禁用，必须通过配置 strapping 管脚进入 Joint Download Boot 启动模式，才能使用 USB 下载功能。
 - USB PHY 被应用程序关闭；
 - USB 被二次开发用于其他 USB 功能，例如 USB 主机、USB 标准设备；
 - USB 对应的 GPIO 被用于其他外设功能，例如 UART、LEDC 等。

- 建议用户保留对 strapping 管脚的控制，避免在出现以上情况时，USB 下载功能无法使用。

PRELIMINARY

5 相关文档和资源

相关文档

- [《ESP32-H2 技术规格书》](#) – 提供 ESP32-H2 芯片的硬件技术规格。
- [《ESP32-H2 技术参考手册》](#) – 提供 ESP32-H2 芯片的存储器和外设的详细使用说明。
- 证书
<https://espressif.com/zh-hans/support/documents/certificates>
- ESP32-H2 产品/工艺变更通知 (PCN)
<https://espressif.com/zh-hans/support/documents/pcns?keys=ESP32-H2>
- ESP32-H2 公告 – 提供有关安全、bug、兼容性、器件可靠性的信息
<https://espressif.com/zh-hans/support/documents/advisories?keys=ESP32-H2>
- 文档更新和订阅通知
<https://espressif.com/zh-hans/support/download/documents>

开发者社区

- [《ESP32-H2 ESP-IDF 编程指南》](#) – ESP-IDF 开发框架的文档中心。
- ESP-IDF 及 GitHub 上的其它开发框架
<https://github.com/espressif>
- ESP32 论坛 – 工程师对工程师 (E2E) 的社区，您可以在这里提出问题、解决问题、分享知识、探索观点。
<https://esp32.com/>
- *The ESP Journal* – 分享乐鑫工程师的最佳实践、技术文章和工作随笔。
<https://blog.espressif.com/>
- SDK 和演示、App、工具、AT 等下载资源
<https://espressif.com/zh-hans/support/download/sdks-demos>

产品

- ESP32-H2 系列芯片 – ESP32-H2 全系列芯片。
<https://espressif.com/zh-hans/products/socs?id=ESP32-H2>
- ESP32-H2 系列模组 – ESP32-H2 全系列模组。
<https://espressif.com/zh-hans/products/modules?id=ESP32-H2>
- ESP32-H2 系列开发板 – ESP32-H2 全系列开发板。
<https://espressif.com/zh-hans/products/devkits?id=ESP32-H2>
- ESP Product Selector (乐鑫产品选型工具) – 通过筛选性能参数、进行产品对比快速定位您所需要的产品。
<https://products.espressif.com/#/product-selector?language=zh>

联系我们

- 商务问题、技术支持、电路原理图 & PCB 设计审阅、购买样品 (线上商店)、成为供应商、意见与建议
<https://espressif.com/zh-hans/contact-us/sales-questions>

词汇列表

| | |
|--------|-----------------------------------|
| CLC | 电容-电感-电容 |
| DDR | 双倍速率 |
| ESD | 静电释放 |
| LC | 电感-电容 |
| PA | 功率放大器 |
| RC | 电阻-电容 |
| RTC | 实时控制器 |
| SiP | 系统封装 |
| 0 Ω 电阻 | 常用作电路设计中的占位符，后续可根据具体设计替换为其他大小的电阻。 |

修订历史

| 日期 | 版本 | 发布说明 |
|------------|------|---|
| 2023-08-02 | v0.7 | <ul style="list-style-type: none">• 优化章节 2.2.3 中说明的描述；• 更新章节 2.7 中有关“启动模式控制”的描述；• 全文替换 Download Boot 模式为 Joint Download Boot 模式；• 更新表 5 下方有关 USB 说明中的一处笔误。 |
| 2023-06-29 | v0.6 | <ul style="list-style-type: none">• 更新章节 2.5 以增加芯片射频匹配电路的推荐数值；• 更新章节 2.5 中有关“芯片射频匹配电路”的说明及图 1，图 2，图 3 和图 7；• 更新表 5 下方有关 USB 的说明；• 更新 RTC 时钟名为低功耗时钟。 |
| 2023-05-24 | v0.5 | 预发布。 |

PRELIMINARY



www.espressif.com

免责声明和版权公告

本档中的信息，包括供参考的 URL 地址，如有变更，恕不另行通知。

本档可能引用了第三方的信息，所有引用的信息均为“按现状”提供，乐鑫不对信息的准确性、真实性做任何保证。

乐鑫不对本档的内容做任何保证，包括内容的适销性、是否适用于特定用途，也不提供任何其他乐鑫提案、规格书或样品在他处提到的任何保证。

乐鑫不对本档是否侵犯第三方权利做任何保证，也不对使用本档内信息导致的任何侵犯知识产权的行为负责。本档在此未以禁止反言或其他方式授予任何知识产权许可，不管是明示许可还是暗示许可。

Wi-Fi 联盟成员标志归 Wi-Fi 联盟所有。蓝牙标志是 Bluetooth SIG 的注册商标。

文档中提到的所有商标名称、商标和注册商标均属其各自所有者的财产，特此声明。

版权归 © 2023 乐鑫信息科技（上海）股份有限公司。保留所有权利。